

日本国特許庁
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月19日

出願番号

Application Number:

特願2001-011859

出願人
Applicant(s):

セイコーエプソン株式会社

2001年 9月20日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3086530

【書類名】 特許願

【整理番号】 EP-0270401

【提出日】 平成13年 1月19日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 蝦名 昭彦

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大瀨 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】

 【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 絶縁層と、

前記絶縁層上に形成された半導体層と、

前記半導体層内に形成された素子分離領域と、

前記素子分離領域によって画定された、第 1 の素子形成領域と、第 2 の素子形成領域とを含み、

前記第 1 の素子形成領域には、第 1 バイポーラトランジスタと第 1 電界効果型トランジスタとをともに含み、

前記第 1 バイポーラトランジスタは、第 1 の第 1 導電型エミッタ領域と、第 1 の第 2 導電型ベース領域と、第 1 の第 1 導電型コレクタ領域とを含み、

前記第 1 電界効果型トランジスタは、第 1 のゲート電極層と、第 1 導電型ソース領域と、第 1 導電型ドレイン領域とを含み、

前記第 1 電界効果型トランジスタは、さらに、少なくとも前記第 1 導電型ソース領域と前記第 1 導電型ドレイン領域との間において形成された、第 1 の第 2 導電型ボディ領域を有し、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 導電型ソース領域とは、電氣的に接続され、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 2 導電型ベース領域とは、電氣的に接続され、

前記第 1 導電型ドレイン領域と、前記第 1 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 1 導電型ソース領域と、前記第 1 の第 1 導電型エミッタ領域とは、構造的に分離して形成され、

前記第 2 の素子形成領域には、第 2 バイポーラトランジスタと第 2 電界効果型トランジスタとをともに含み、

前記第 2 バイポーラトランジスタは、第 2 の第 1 導電型エミッタ領域と、第 2

の第 2 導電型ベース領域と、第 2 の第 1 導電型コレクタ領域とを含み、

前記第 2 電界効果型トランジスタは、第 2 のゲート電極層と、第 2 導電型ソース領域と、第 2 導電型ドレイン領域とを含み、

前記第 2 電界効果型トランジスタは、さらに、少なくとも前記第 2 導電型ソース領域と前記第 2 導電型ドレイン領域との間において形成された、第 1 の第 1 導電型ボディ領域とを有し、

前記第 1 の第 1 導電型ボディ領域と、前記第 2 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 2 導電型ソース領域と、前記第 2 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 2 導電型ドレイン領域と、前記第 2 の第 2 導電型ベース領域とは、電氣的に接続され、

前記第 1 の第 1 導電型コレクタ領域と、前記第 2 の第 1 導電型エミッタ領域とは、電氣的に接続され、

前記第 1 のゲート電極層と、前記第 2 のゲート電極層とは、電氣的に接続されている、半導体装置。

【請求項 2】 請求項 1 において、

さらに、前記第 1 のゲート電極層の側部に連続し、前記素子分離領域に達する第 1 の電極層を有し、

前記第 1 のゲート電極層は、前記素子形成領域を跨ぐようにして形成され、

前記第 1 電界効果型トランジスタ形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれた第 1 の領域において、前記第 1 導電型ソース領域が形成され、

前記第 1 のゲート電極層と、前記素子分離領域とで囲まれた第 2 の領域において、前記第 1 導電型ドレイン領域および前記第 1 導電型コレクタ領域が形成され、

前記第 1 バイポーラトランジスタ形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれた第 3 の領域において、前記第 1 導電型エミッタ領域が形成され、

前記第 1 の第 2 導電型ボディ領域は、少なくとも、前記第 1 電界効果型トランジスタ形成領域における第 1 のゲート電極層の下方、および前記第 1 の電極層の一部の下方において形成されている、半導体装置。

【請求項 3】 請求項 1 または 2 において、

さらに、一方の端部が前記第 2 のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達する第 2 の電極層を有し、

前記第 2 のゲート電極層は、前記第 2 の素子形成領域を跨ぐようにして形成され、

前記第 2 電界効果型トランジスタ形成領域における第 2 のゲート電極層と、前記第 2 の電極層と、前記素子分離領域とで囲まれた第 4 の領域において、前記第 2 導電型ドレイン領域が形成され、

前記第 2 のゲート電極層と、前記素子分離領域とで囲まれた第 5 の領域において、前記第 2 導電型ソース領域および前記第 1 導電型コレクタ領域が形成され、

前記第 2 バイポーラトランジスタ形成領域における第 2 のゲート電極層と、前記第 2 の電極層と、前記素子分離領域とで囲まれた第 6 の領域において、前記第 1 導電型エミッタ領域が形成され、

前記第 1 の第 1 導電型ボディ領域は、前記第 2 のゲート電極層の下方において形成されている、半導体装置。

【請求項 4】 請求項 1 において、

さらに、第 1 の層と第 2 の層とを有し、

前記第 1 の層は、一方の端部が前記第 1 のゲート電極層または前記第 2 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 の層は、一方の端部が前記第 1 のゲート電極層または前記第 1 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 1 のゲート電極層と前記第 1 の層と前記素子分離領域とで囲まれる第 1 の領域において、前記第 1 導電型ソース領域が形成され、

前記第 1 のゲート電極層と前記第 2 の層と前記素子分離領域とで囲まれる第 2 の領域において、前記第 1 導電型ドレイン領域および前記第 1 の第 1 導電型コレクタ領域が形成され、

前記第 1 の層と前記第 2 の層と前記素子分離領域とで囲まれる第 3 の領域において、前記第 1 の第 1 導電型エミッタ領域が形成され、

前記第 1 の層の一部の下、および、前記第 2 の層の一部の下の半導体層において、前記第 1 の第 2 導電型ベース領域が形成され、

前記第 1 の第 2 導電型ボディ領域は、少なくとも、前記第 1 のゲート電極層の下および前記第 1 の層の一部の下の半導体層において形成されている、半導体装置。

【請求項 5】 請求項 1 または 4 において、

さらに、第 3 の層と第 4 の層とを有し、

前記第 3 の層は、一方の端部が前記第 2 のゲート電極層または前記第 4 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 4 の層は、一方の端部が前記第 2 のゲート電極層または前記第 3 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 のゲート電極層と前記第 3 の層と前記素子分離領域とで囲まれる第 4 の領域において、前記第 2 導電型ドレイン領域が形成され、

前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれる第 5 の領域において、前記第 2 導電型ソース領域および前記第 2 の第 1 導電型コレクタ領域が形成され、

前記第 3 の層と前記第 4 の層と前記素子分離領域とで囲まれる第 6 の領域において、前記第 2 の第 1 導電型エミッタ領域が形成され、

前記第 3 の層の一部の下、および、前記第 4 の層の一部の下の半導体層において、前記第 2 の第 2 導電型ベース領域が形成され、

前記第 1 の第 1 導電型ボディ領域は、少なくとも、前記第 2 のゲート電極層の下および前記第 4 の層の一部の下の半導体層において形成され、

前記第 3 の層の一部の下の半導体層において、前記第 2 の第 2 導電型ベース領域と前記第 2 導電型ドレイン領域とを電氣的に接続するための第 2 の第 2 導電型ボディ領域が設けられている、半導体装置。

【請求項 6】 請求項 1 ～ 5 のいずれかにおいて、

さらに、前記第 1 の素子形成領域において、第 2 の第 1 導電型ボディ領域を有

し、

前記第 1 の第 2 導電型ベース領域と前記第 1 の第 1 導電型コレクタ領域との間の半導体層において形成されている、半導体装置。

【請求項 7】 請求項 1～6 のいずれかにおいて、

さらに、前記第 1 の素子形成領域において、第 2 導電型の不純物拡散層が形成され、

前記第 2 導電型の不純物拡散層は、前記第 1 の領域における半導体層であって、前記第 1 導電型ソース領域と前記第 1 の第 2 導電型ボディ領域との間の半導体層において形成され、

前記第 1 導電型ソース領域と、前記第 1 の第 2 導電型ボディ領域とは、前記第 2 導電型の不純物拡散層を介して、電氣的に接続されている、半導体装置。

【請求項 8】 請求項 7 において、

前記第 2 導電型の不純物拡散層と前記第 1 導電型ソース領域とを電氣的に接続するためのコンタクト層が形成され、

前記コンタクト層は、前記第 2 導電型の不純物拡散層と前記第 1 導電型ソース領域とを跨ぐようにして形成された、半導体装置。

【請求項 9】 請求項 1～8 のいずれかにおいて、

前記第 1 の第 1 導電型コレクタ領域と、前記第 1 の第 1 導電型エミッタ領域との間の半導体層であって、前記素子分離領域の近傍の半導体層に、第 3 の第 2 導電型ボディ領域が形成されている、半導体装置。

【請求項 10】 請求項 1～9 のいずれかにおいて、

前記第 2 の素子形成領域において、前記第 2 導電型ソース領域と、前記第 2 の第 1 導電型コレクタ領域とを電氣的に接続するためのコンタクト層が形成され、

前記コンタクト層は、前記第 2 導電型ソース領域と、前記第 2 の第 1 導電型コレクタ領域とを跨ぐようにして形成されている、半導体装置。

【請求項 11】 請求項 1～10 のいずれかにおいて、

前記第 2 の第 1 導電型コレクタ領域と、前記第 2 の第 1 導電型エミッタ領域との間の半導体層であって、前記素子分離領域の近傍の半導体層に、第 4 の第 2 導電型ボディ領域が形成されている、半導体装置。

【請求項 1 2】 請求項 1 ～ 1 1 のいずれかにおいて、
前記第 1 導電型は、n 型であり、
前記第 2 導電型は、p 型である、半導体装置。

【請求項 1 3】 請求項 1 ～ 1 1 のいずれかにおいて、
前記第 1 導電型は、p 型であり、
前記第 2 導電型は、n 型である、半導体装置。

【請求項 1 4】 請求項 1 ～ 1 3 のいずれかにおいて、
前記半導体層は、シリコン層である、半導体装置。

【請求項 1 5】 絶縁層と、
前記絶縁層上に形成された半導体層と、
前記半導体層内に形成された素子分離領域と、
前記素子分離領域によって画定された、第 1 の素子形成領域と、第 2 の素子形成領域とを含み、

前記第 1 の素子形成領域には、第 1 バイポーラトランジスタと第 1 電界効果型トランジスタとをともに含み、

前記半導体層の上に、第 1 のゲート電極層が形成され、

前記第 1 のゲート電極層は、前記第 1 の素子形成領域を跨ぐようにして形成され、

前記半導体層の上に、第 1 の電極層が形成され、

前記第 1 の電極層は、一方の端部が前記第 1 のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達し、

前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 1 の領域の少なくとも一部において、第 1 の第 1 導電型不純物拡散層が形成され、

前記第 1 のゲート電極層と、前記素子分離領域と、で囲まれる第 2 の領域において、第 2 の第 1 導電型不純物拡散層が形成され、

前記第 1 バイポーラトランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで画定される第 3 の領域において、第 3 の第 1 導電型不純物拡散層が形成され、

前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層および前記第 1 の電極層の下方において、第 1 の第 2 導電型ボディ領域が形成され、

前記第 1 バイポーラトランジスタの形成領域における第 1 のゲート電極層および前記第 1 の電極層の下方であって、前記第 3 の第 1 導電型不純物拡散層の周囲に沿って、第 1 の第 2 導電型不純物拡散層が設けられ、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 2 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の素子形成領域には、第 2 バイポーラトランジスタと第 2 電界効果型トランジスタとをともに含み、

前記半導体層の上に、第 2 のゲート電極層が形成され、

前記第 2 のゲート電極層は、前記第 2 の素子形成領域を跨ぐようにして形成され、

前記半導体層の上に、第 2 の電極層が形成され、

前記第 2 の電極層は、一方の端部が前記第 2 のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 電界効果型トランジスタの形成領域における第 2 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 4 の領域において、第 2 の第 2 導電型不純物拡散層が形成され、

前記第 2 のゲート電極層と、前記素子分離領域とで囲まれる第 5 の領域のうち、前記第 2 電界効果型トランジスタの形成領域において、第 3 の第 2 導電型不純物拡散層が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 5 の領域において、第 4 の第 1 導電型不純物拡散層が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 2 のゲート電極層と、前記第 2 の電極層と、前記素子分離領域とで囲まれる第 6 の領域において、第 5 の第 1 導電型不純物拡散層が形成され、

前記第 2 のゲート電極層の下方において、第 1 導電型ボディ領域が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 2 のゲート電極層および前記第 2 の電極層の下方であって、前記第 5 の第 1 導電型不純物拡散層の周囲に沿って、第 4 の第 2 導電型不純物拡散層が設けられ、

前記第 1 導電型ボディ領域と、前記第 4 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 3 の第 2 導電型不純物拡散層と、前記第 4 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の第 2 導電型不純物拡散層と、前記第 4 の第 2 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の第 1 導電型不純物拡散層と、前記第 5 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 1 のゲート電極層と、前記第 2 のゲート電極層とは、電氣的に接続されている、半導体装置。

【請求項 1 6】 絶縁層と、

前記絶縁層の上に形成された半導体層とを含む半導体装置の製造方法であって、

前記半導体層において素子分離領域を形成し、第 1 の素子形成領域および第 2 の素子形成領域を画定する工程（A）、

前記第 1 の素子形成領域において、第 1 電界効果型トランジスタと第 1 バイポーラトランジスタとを形成する工程（B）であって、

前記工程（B）は、

（B-1）少なくとも、第 1 のゲート電極層の形成予定領域における半導体層において、第 1 の第 2 導電型ボディ領域を形成する工程、

（B-2）前記第 1 の素子形成領域における半導体層の上に、第 1 のゲート電極層および第 1 の電極層を形成する工程であって、

前記第 1 の電極層は、前記第 1 のゲート電極層に連続し、かつ、前記素子分離領域に達し、

（B-3）前記バイポーラトランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 3 の領域の半導体層

において、第 1 の第 2 導電型不純物拡散層を形成する工程、

(B-4) 熱処理をすることにより、前記第 1 の第 2 導電型不純物拡散層を熱拡散して、前記第 1 のゲート電極層の一部の下、および前記第 1 の電極層の下の半導体層において、前記第 1 バイポーラトランジスタの第 1 の第 2 導電型ベース領域を形成し、該第 1 の第 2 導電型ベース領域と前記第 1 の第 2 導電型ボディ領域とを電氣的に接続する工程、

(B-5) 前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれた第 1 の領域の少なくとも一部に、前記第 1 電界効果型トランジスタの、第 1 導電型ソース領域を形成する工程、

(B-6) 前記第 1 のゲート電極層と前記素子分離領域とで囲まれた第 2 の領域の一部に、前記第 1 電界効果型トランジスタの、第 1 導電型ドレイン領域を形成する工程、

(B-7) 前記第 2 の領域の一部に、前記第 1 バイポーラトランジスタの、第 1 の第 1 導電型コレクタ領域を形成する工程、および

(B-8) 前記第 3 の領域において、前記第 1 バイポーラトランジスタの、第 1 の第 1 導電型エミッタ領域を形成する工程、および

(B-9) 前記第 1 の第 2 導電型ボディ領域と前記第 1 導電型ソース領域を電氣的に接続する工程を含み、

前記第 2 の素子形成領域において、第 2 電界効果型トランジスタと第 2 バイポーラトランジスタとを形成する工程 (C) であって、

前記工程 (C) は、

(C-1) 少なくとも、第 2 のゲート電極層の形成予定領域における半導体層において、第 1 の第 1 導電型ボディ領域を形成する工程、

(C-2) 少なくとも、第 2 の電極層の形成予定領域における半導体層の一部において、第 2 の第 2 導電型ボディ領域を形成する工程、

(C-3) 前記第 2 の素子形成領域における半導体層の上に、第 2 のゲート電極層および第 2 の電極層を形成する工程であって、

前記第 2 の電極層は、一方の端部が前記ゲート電極層の側部に連続し、かつ、

他方の端部が前記素子分離領域に達し、

(C-4) 前記第2バイポーラトランジスタの形成領域における第2のゲート電極層と、前記第2の電極層と、前記素子分離領域とで囲まれる第6の領域の半導体層において、第2の第2導電型不純物拡散層を形成する工程、

(C-5) 熱処理をすることにより、前記第2の第2導電型不純物拡散層を熱拡散して、前記第2のゲート電極層の一部の下、および前記第2の電極層の下の半導体層において、前記第2バイポーラトランジスタの、第2の第2導電型ベース領域を形成し、該第2の第2導電型ベース領域と前記第2の第2導電型ボディ領域とを電氣的に接続する工程、

(C-6) 前記第2電界効果型トランジスタの形成領域における第2のゲート電極層と前記第2の電極層と前記素子分離領域とで囲まれた第4の領域に、前記第2電界効果型トランジスタの、第2導電型ドレイン領域を形成する工程であって

、
前記第2導電型ドレイン領域は、前記第2の第2導電型ボディ領域を介して、前記第2の第2導電型ベース領域と電氣的に接続し、

(C-7) 前記第2のゲート電極層と前記素子分離領域とで囲まれた第5の領域の一部に、前記第2電界効果型トランジスタの、第2導電型ソース領域を形成する工程、

(C-8) 前記第5の領域の一部に、前記第2バイポーラトランジスタの、第2の第1導電型コレクタ領域を形成する工程であって、

前記第2の第1導電型コレクタ領域は、前記第1の第1導電型ボディ領域と電氣的に接続し、

(C-9) 前記第6の領域において、前記第2バイポーラトランジスタの、第2の第1導電型エミッタ領域を形成する工程、および

(C-10) 前記第2導電型ソース領域と前記第2の第1導電型コレクタ領域とを電氣的に接続する工程を含み、

前記第1の第1導電型コレクタ領域と、前記第2の第1導電型エミッタ領域とを電氣的に接続する工程(D)、および

前記第1のゲート電極層と、前記第2のゲート電極層とを、電氣的に接続する

工程（E）を含む、半導体装置の製造方法。

【請求項 17】 絶縁層と、

前記絶縁層の上に形成された半導体層とを含む半導体装置の製造方法であって

、
前記半導体層において素子分離領域を形成し、第 1 の素子形成領域および第 2 の素子形成領域を画定する工程（F）、

前記第 1 の素子形成領域において、第 1 電界効果型トランジスタと第 1 バイポーラトランジスタとを形成する工程（G）であって、

前記工程（G）は、

（G-1）少なくとも、第 1 のゲート電極層の形成予定領域および第 1 の層の形成予定領域における半導体層において、第 1 の第 2 導電型ボディ領域を形成する工程、

（G-2）前記第 1 の素子形成領域における半導体層の上に、第 1 のゲート電極層を形成する工程、

（G-3）前記第 1 の素子形成領域における半導体層の上に、第 1 の層を形成する工程であって、

前記第 1 の層は、一方の端部が前記第 1 のゲート電極層または第 2 の層に連続し、他方の端部が素子分離領域に達し、

（G-4）前記第 1 の素子形成領域における半導体層の上に、第 2 の層を形成する工程であって、

前記第 2 の層は、一方の端部が前記第 1 のゲート電極層または第 1 の層に連続し、他方の端部が素子分離領域に達し、

（G-5）前記第 1 の層と、前記第 2 の層と、前記素子分離領域とで囲まれる第 3 の領域の半導体層において、第 1 の第 2 導電型不純物拡散層を形成する工程、

（G-6）熱処理をすることにより、前記第 1 の第 2 導電型不純物拡散層を熱拡散して、前記第 1 の層の一部の下、および前記第 2 の層の一部の下の半導体層において、前記第 1 バイポーラトランジスタの第 1 の第 2 導電型ベース領域を形成し、該第 1 の第 2 導電型ベース領域と前記第 1 の第 2 導電型ボディ領域とを電氣的に接続する工程、

(G-7) 前記ゲート電極層と前記第1の層と前記素子分離領域とで囲まれた第1の領域の少なくとも一部に、前記第1電界効果型トランジスタの、第1導電型ソース領域を形成する工程、

(G-8) 前記ゲート電極層と前記第2の層と前記素子分離領域とで囲まれた第2の領域の一部に、前記第1電界効果型トランジスタの、第1導電型ドレイン領域を形成する工程、

(G-9) 前記第1のゲート電極層と前記第2の層と前記素子分離領域とで囲まれた第2の領域の一部に、前記第1バイポーラトランジスタの、第1の第1導電型コレクタ領域を形成する工程、および

(G-10) 前記第1の層と前記第2の層と前記素子分離領域とで囲まれた第3の領域において、前記第1バイポーラトランジスタの、第1の第1導電型エミッタ領域を形成する工程、および

(G-11) 前記第1の第2導電型ボディ領域と前記第1導電型ソース領域を電氣的に接続する工程を含み、

前記第2の素子形成領域において、第2電界効果型トランジスタと第2バイポーラトランジスタとを形成する工程(H)であって、

前記工程(H)は、

(H-1) 少なくとも、第2のゲート電極層の形成予定領域および第4の層の形成予定領域における半導体層において、第1の第1導電型ボディ領域を形成する工程、

(H-2) 少なくとも、第3の層の形成予定領域における半導体層の一部において、第2の第2導電型ボディ領域を形成する工程、

(H-3) 前記第2の素子形成領域における半導体層の上に、第2のゲート電極層を形成する工程、

(H-4) 前記第2の素子形成領域における半導体層の上に、第3の層を形成する工程であって、

前記第3の層は、一方の端部が前記第2のゲート電極層または第4の層に連続し、他方の端部が素子分離領域に達し、

(H-5) 前記第2の素子形成領域における半導体層の上に、第4の層を形成す

る工程であって、

前記第 4 の層は、一方の端部が前記第 2 のゲート電極層または第 3 の層に連続し、他方の端部が素子分離領域に達し、

(H-6) 前記第 3 の層と、前記第 4 の層と、前記素子分離領域とで囲まれる第 6 の領域の半導体層において、第 2 の第 2 導電型不純物拡散層を形成する工程、

(H-7) 熱処理をすることにより、前記第 2 の第 2 導電型不純物拡散層を熱拡散して、前記第 3 の層の一部の下、および前記第 4 の層の一部の下の半導体層において、前記第 2 バイポーラトランジスタの、第 2 の第 2 導電型ベース領域を形成し、該第 2 の第 2 導電型ベース領域と前記第 2 の第 2 導電型ボディ領域とを電氣的に接続する工程、

(H-8) 前記第 2 のゲート電極層と前記第 3 の層と前記素子分離領域とで囲まれた第 4 の領域に、前記第 2 電界効果型トランジスタの、第 2 導電型ドレイン領域を形成する工程であって、

前記第 2 導電型ドレイン領域は、前記第 2 の第 2 導電型ボディ領域を介して、前記第 2 の第 2 導電型ベース領域と電氣的に接続し、

(H-9) 前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれた第 5 の領域の一部において、前記第 2 電界効果型トランジスタの、第 2 導電型ソース領域を形成する工程、

(H-10) 前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれた第 5 の領域の一部において、前記第 2 バイポーラトランジスタの、第 2 の第 1 導電型コレクタ領域を形成する工程であって、

前記第 2 の第 1 導電型コレクタ領域は、前記第 1 の第 1 導電型ボディ領域と電氣的に接続し、

(H-11) 前記第 3 の層と前記第 4 の層と前記素子分離領域とで囲まれた第 6 の領域において、前記第 2 バイポーラトランジスタの、第 2 の第 1 導電型エミッタ領域を形成する工程、および

(H-12) 前記第 2 導電型ソース領域と前記第 2 の第 1 導電型コレクタ領域とを電氣的に接続する工程を含み、

前記第 1 の第 1 導電型コレクタ領域と、前記第 2 の第 1 導電型エミッタ領域と

を電氣的に接続する工程（I）、および

前記第1のゲート電極層と、前記第2のゲート電極層とを、電氣的に接続する工程（J）を含む、半導体装置の製造方法。

【請求項18】 請求項17において、

さらに、前記第1の素子形成領域における第2の層の下の半導体層であって、前記素子分離領域の近傍の半導体層に、第3の第2導電型ボディ領域を形成する工程を含む、半導体装置の製造方法。

【請求項19】 請求項17または18において、

さらに、前記第2の素子形成領域における第4の層の下の半導体層であって、前記素子分離領域の近傍の半導体層に、第4の第2導電型ボディ領域を形成する工程を含む、半導体装置の製造方法。

【請求項20】 請求項17～19のいずれかにおいて、

前記第1導電型は、n型であり、

前記第2導電型は、p型である、半導体装置の製造方法。

【請求項21】 請求項17～19のいずれかにおいて、

前記第1導電型は、p型であり、

前記第2導電型は、n型である、半導体装置の製造方法。

【請求項22】 請求項17～21のいずれかにおいて、

前記半導体層は、シリコン層である、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電界効果型トランジスタおよびバイポーラトランジスタを有するスイッチング素子を、複数含む半導体装置およびその製造方法に関する。

【0002】

【背景技術】

SOI構造のMOS電界効果トランジスタは、通常のMOS電界効果トランジスタに比べ、低消費電力で、かつ高速で駆動させることができる。

【0003】

図 2 6 は、S O I 構造の M O S 電界効果トランジスタの一例の模式図である。シリコン基板 2 0 0 0 上には、シリコン酸化膜からなる埋め込み酸化膜 1 1 0 0 が形成されている。埋め込み酸化膜 1 1 0 0 上には、ソース領域 1 2 0 0 とドレイン領域 1 3 0 0 とが形成されている。埋め込み酸化膜 1 1 0 0 上であって、かつソース領域 1 2 0 0 とドレイン領域 1 3 0 0 との間には、ボディ領域 1 4 0 0 が形成されている。ボディ領域 1 4 0 0 上には、ゲート絶縁膜を介してゲート電極 1 5 0 0 が形成されている。

【 0 0 0 4 】

ところで、この M O S 電界効果トランジスタのボディ領域 1 4 0 0 は、フローティングの状態にある。このため、インパクトイオン化現象により発生したキャリアは、ボディ領域 1 4 0 0 に蓄積されることになる。ボディ領域 1 4 0 0 においてキャリアが蓄積されると、ボディ領域 1 4 0 0 の電位が変化する。いわゆる基板浮遊効果とよばれる現象が生じる。基板浮遊効果が生じることにより、M O S 電界効果型トランジスタにおいて、キンク現象や、ヒストリ効果が生じる。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明の目的は、基板浮遊効果が抑えられたスイッチング素子を含む半導体装置およびその製造方法を提供することにある。

【 0 0 0 6 】

【課題を解決するための手段】

(半導体装置)

本発明の第 1 の半導体装置は、
絶縁層と、
前記絶縁層上に形成された半導体層と、
前記半導体層内に形成された素子分離領域と、
前記素子分離領域によって画定された、第 1 の素子形成領域と、第 2 の素子形成領域とを含み、

前記第 1 の素子形成領域には、第 1 バイポーラトランジスタと第 1 電界効果型トランジスタとをともに含み、

前記第 1 バイポーラトランジスタは、第 1 の第 1 導電型エミッタ領域と、第 1 の第 2 導電型ベース領域と、第 1 の第 1 導電型コレクタ領域とを含み、

前記第 1 電界効果型トランジスタは、第 1 のゲート電極層と、第 1 導電型ソース領域と、第 1 導電型ドレイン領域とを含み、

前記第 1 電界効果型トランジスタは、さらに、少なくとも前記第 1 導電型ソース領域と前記第 1 導電型ドレイン領域との間において形成された、第 1 の第 2 導電型ボディ領域を有し、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 導電型ソース領域とは、電氣的に接続され、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 2 導電型ベース領域とは、電氣的に接続され、

前記第 1 導電型ドレイン領域と、前記第 1 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 1 導電型ソース領域と、前記第 1 の第 1 導電型エミッタ領域とは、構造的に分離して形成され、

前記第 2 の素子形成領域には、第 2 バイポーラトランジスタと第 2 電界効果型トランジスタとをともに含み、

前記第 2 バイポーラトランジスタは、第 2 の第 1 導電型エミッタ領域と、第 2 の第 2 導電型ベース領域と、第 2 の第 1 導電型コレクタ領域とを含み、

前記第 2 電界効果型トランジスタは、第 2 のゲート電極層と、第 2 導電型ソース領域と、第 2 導電型ドレイン領域とを含み、

前記第 2 電界効果型トランジスタは、さらに、少なくとも前記第 2 導電型ソース領域と前記第 2 導電型ドレイン領域との間において形成された、第 1 の第 1 導電型ボディ領域とを有し、

前記第 1 の第 1 導電型ボディ領域と、前記第 2 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 2 導電型ソース領域と、前記第 2 の第 1 導電型コレクタ領域とは、電氣的に接続され、

前記第 2 導電型ドレイン領域と、前記第 2 の第 2 導電型ベース領域とは、電氣

的に接続され、

前記第 1 の第 1 導電型コレクタ領域と、前記第 2 の第 1 導電型エミッタ領域とは、電氣的に接続され、

前記第 1 のゲート電極層と、前記第 2 のゲート電極層とは、電氣的に接続されている。

【0007】

本発明によれば、たとえば次の作用効果を奏することができる。

【0008】

第 1 の素子形成領域において形成された第 1 バイポーラトランジスタおよび第 1 電界効果型トランジスタを含むスイッチング素子（以下「第 1 のスイッチング素子」という）によれば、基板浮遊効果が発生するのを抑えることができる。すなわち、しきい値電圧が変化したり、キックやヒストリ効果が発生するのを抑えることができる。

【0009】

また、第 2 の素子形成領域において形成された第 2 バイポーラトランジスタおよび第 2 電界効果型トランジスタを含むスイッチング素子（以下「第 2 のスイッチング素子」という）によれば、基板浮遊効果が発生するのを抑えることができる。すなわち、しきい値電圧が変化したり、キックやヒストリ効果が発生するのを抑えることができる。

【0010】

前記第 1 の第 1 導電型コレクタ領域と前記第 2 の第 1 導電型エミッタ領域とは、電氣的に接続され、前記第 1 のゲート電極層と前記第 2 のゲート電極層とは、電氣的に接続されていることから、第 1 のスイッチング素子と第 2 のスイッチング素子とで B I C M O S インバータ回路を構成している。この B I C M O S インバータ回路は、基板浮遊効果が抑えられた第 1 および第 2 のスイッチング素子により構成されているため、その特性を向上させることができる。

【0011】

本発明の半導体装置は、少なくとも次のいずれかの態様をとることができる。

【0012】

(1) さらに、前記第1のゲート電極層の側部に連続し、前記素子分離領域に達する第1の電極層を有し、

前記第1のゲート電極層は、前記素子形成領域を跨ぐようにして形成され、

前記第1電界効果型トランジスタ形成領域における第1のゲート電極層と、前記第1の電極層と、前記素子分離領域とで囲まれた第1の領域において、前記第1導電型ソース領域が形成され、

前記第1のゲート電極層と、前記素子分離領域とで囲まれた第2の領域において、前記第1導電型ドレイン領域および前記第1導電型コレクタ領域が形成され、

前記第1バイポーラトランジスタ形成領域における第1のゲート電極層と、前記第1の電極層と、前記素子分離領域とで囲まれた第3の領域において、前記第1導電型エミッタ領域が形成され、

前記第1の第2導電型ボディ領域は、少なくとも、前記第1電界効果型トランジスタ形成領域における第1のゲート電極層の下方、および前記第1の電極層の一部の下方において形成されている態様。

【 0 0 1 3 】

(2) さらに、一方の端部が前記第2のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達する第2の電極層を有し、

前記第2のゲート電極層は、前記第2の素子形成領域を跨ぐようにして形成され、

前記第2電界効果型トランジスタ形成領域における第2のゲート電極層と、前記第2の電極層と、前記素子分離領域とで囲まれた第4の領域において、前記第2導電型ドレイン領域が形成され、

前記第2のゲート電極層と、前記素子分離領域とで囲まれた第5の領域において、前記第2導電型ソース領域および前記第1導電型コレクタ領域が形成され、

前記第2バイポーラトランジスタ形成領域における第2のゲート電極層と、前記第2の電極層と、前記素子分離領域とで囲まれた第6の領域において、前記第1導電型エミッタ領域が形成され、

前記第1の第1導電型ボディ領域は、前記第2のゲート電極層の下方において

形成されている態様。

【 0 0 1 4 】

または、本発明の半導体装置は、少なくとも次のいずれかの態様をとることができる。

【 0 0 1 5 】

(1) さらに、第 1 の層と第 2 の層とを有し、

前記第 1 の層は、一方の端部が前記第 1 のゲート電極層または前記第 2 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 の層は、一方の端部が前記第 1 のゲート電極層または前記第 1 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 1 のゲート電極層と前記第 1 の層と前記素子分離領域とで囲まれる第 1 の領域において、前記第 1 導電型ソース領域が形成され、

前記第 1 のゲート電極層と前記第 2 の層と前記素子分離領域とで囲まれる第 2 の領域において、前記第 1 導電型ドレイン領域および前記第 1 の第 1 導電型コレクタ領域が形成され、

前記第 1 の層と前記第 2 の層と前記素子分離領域とで囲まれる第 3 の領域において、前記第 1 の第 1 導電型エミッタ領域が形成され、

前記第 1 の層の一部の下、および、前記第 2 の層の一部の下の半導体層において、前記第 1 の第 2 導電型ベース領域が形成され、

前記第 1 の第 2 導電型ボディ領域は、少なくとも、前記第 1 のゲート電極層の下および前記第 1 の層の一部の下の半導体層において形成されている態様。

【 0 0 1 6 】

(2) さらに、第 3 の層と第 4 の層とを有し、

前記第 3 の層は、一方の端部が前記第 2 のゲート電極層または前記第 4 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 4 の層は、一方の端部が前記第 2 のゲート電極層または前記第 3 の層に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 のゲート電極層と前記第 3 の層と前記素子分離領域とで囲まれる第 4 の領域において、前記第 2 導電型ドレイン領域が形成され、

前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれる第 5 の領域において、前記第 2 導電型ソース領域および前記第 2 の第 1 導電型コレクタ領域が形成され、

前記第 3 の層と前記第 4 の層と前記素子分離領域とで囲まれる第 6 の領域において、前記第 2 の第 1 導電型エミッタ領域が形成され、

前記第 3 の層の一部の下、および、前記第 4 の層の一部の下の半導体層において、前記第 2 の第 2 導電型ベース領域が形成され、

前記第 1 の第 1 導電型ボディ領域は、少なくとも、前記第 2 のゲート電極層の下および前記第 4 の層の一部の下の半導体層において形成され、

前記第 3 の層の一部の下の半導体層において、前記第 2 の第 2 導電型ベース領域と前記第 2 導電型ドレイン領域とを電氣的に接続するための第 2 の第 2 導電型ボディ領域が設けられている態様。

【 0 0 1 7 】

また、本発明の半導体装置は、少なくとも次のいずれかの態様をとることができる。

【 0 0 1 8 】

(1) さらに、前記第 1 の素子形成領域において、第 2 の第 1 導電型ボディ領域を有し、

前記第 1 の第 2 導電型ベース領域と前記第 1 の第 1 導電型コレクタ領域との間の半導体層において形成されている態様。

【 0 0 1 9 】

(2) さらに、前記第 1 の素子形成領域において、第 2 導電型の不純物拡散層が形成され、

前記第 2 導電型の不純物拡散層は、前記第 1 の領域における半導体層であって、前記第 1 導電型ソース領域と前記第 1 の第 2 導電型ボディ領域との間の半導体層において形成され、

前記第 1 導電型ソース領域と、前記第 1 の第 2 導電型ボディ領域とは、前記第 2 導電型の不純物拡散層を介して、電氣的に接続されている態様。

【 0 0 2 0 】

(3) 前記第2導電型の不純物拡散層と前記第1導電型ソース領域とを電氣的に接続するためのコンタクト層が形成され、

前記コンタクト層は、前記第2導電型の不純物拡散層と前記第1導電型ソース領域とを跨ぐようにして形成された態様。

【0021】

(4) 前記第1の第1導電型コレクタ領域と、前記第1の第1導電型エミッタ領域との間の半導体層であって、前記素子分離領域の近傍の半導体層に、第3の第2導電型ボディ領域が形成されている態様。

【0022】

(5) 前記第2の素子形成領域において、前記第2導電型ソース領域と、前記第2の第1導電型コレクタ領域とを電氣的に接続するためのコンタクト層が形成され、

前記コンタクト層は、前記第2導電型ソース領域と、前記第2の第1導電型コレクタ領域とを跨ぐようにして形成されている態様。

【0023】

(6) 前記第2の第1導電型コレクタ領域と、前記第2の第1導電型エミッタ領域との間の半導体層であって、前記素子分離領域の近傍の半導体層に、第4の第2導電型ボディ領域が形成されている態様。

【0024】

(7) 前記第1導電型は、n型であり、前記第2導電型は、p型である態様。
または、前記第1導電型は、p型であり、前記第2導電型は、n型である態様。

【0025】

(8) 前記半導体層は、シリコン層である態様。

【0026】

(b) 本発明の第2の半導体装置は、
絶縁層と、
前記絶縁層上に形成された半導体層と、
前記半導体層内に形成された素子分離領域と、
前記素子分離領域によって画定された、第1の素子形成領域と、第2の素子形

成領域とを含み、

前記第 1 の素子形成領域には、第 1 バイポーラトランジスタと第 1 電界効果型トランジスタとをともに含み、

前記半導体層の上に、第 1 のゲート電極層が形成され、

前記第 1 のゲート電極層は、前記第 1 の素子形成領域を跨ぐようにして形成され、

前記半導体層の上に、第 1 の電極層が形成され、

前記第 1 の電極層は、一方の端部が前記第 1 のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達し、

前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 1 の領域の少なくとも一部において、第 1 の第 1 導電型不純物拡散層が形成され、

前記第 1 のゲート電極層と、前記素子分離領域と、で囲まれる第 2 の領域において、第 2 の第 1 導電型不純物拡散層が形成され、

前記第 1 バイポーラトランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで画定される第 3 の領域において、第 3 の第 1 導電型不純物拡散層が形成され、

前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層および前記第 1 の電極層の下方において、第 1 の第 2 導電型ボディ領域が形成され、

前記第 1 バイポーラトランジスタの形成領域における第 1 のゲート電極層および前記第 1 の電極層の下方であって、前記第 3 の第 1 導電型不純物拡散層の周囲に沿って、第 1 の第 2 導電型不純物拡散層が設けられ、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 1 の第 2 導電型ボディ領域と、前記第 1 の第 2 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の素子形成領域には、第 2 バイポーラトランジスタと第 2 電界効果型トランジスタとをともに含み、

前記半導体層の上に、第 2 のゲート電極層が形成され、

前記第 2 のゲート電極層は、前記第 2 の素子形成領域を跨ぐようにして形成され、

前記半導体層の上に、第 2 の電極層が形成され、

前記第 2 の電極層は、一方の端部が前記第 2 のゲート電極層の側部に連続し、他方の端部が前記素子分離領域に達し、

前記第 2 電界効果型トランジスタの形成領域における第 2 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 4 の領域において、第 2 の第 2 導電型不純物拡散層が形成され、

前記第 2 のゲート電極層と、前記素子分離領域とで囲まれる第 5 の領域のうち、前記第 2 電界効果型トランジスタの形成領域において、第 3 の第 2 導電型不純物拡散層が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 5 の領域において、第 4 の第 1 導電型不純物拡散層が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 2 のゲート電極層と、前記第 2 の電極層と、前記素子分離領域とで囲まれる第 6 の領域において、第 5 の第 1 導電型不純物拡散層が形成され、

前記第 2 のゲート電極層の下方において、第 1 導電型ボディ領域が形成され、

前記第 2 バイポーラトランジスタの形成領域における第 2 のゲート電極層および前記第 2 の電極層の下方であって、前記第 5 の第 1 導電型不純物拡散層の周囲に沿って、第 4 の第 2 導電型不純物拡散層が設けられ、

前記第 1 導電型ボディ領域と、前記第 4 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 3 の第 2 導電型不純物拡散層と、前記第 4 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の第 2 導電型不純物拡散層と、前記第 4 の第 2 導電型不純物拡散層とは、電氣的に接続され、

前記第 2 の第 1 導電型不純物拡散層と、前記第 5 の第 1 導電型不純物拡散層とは、電氣的に接続され、

前記第 1 のゲート電極層と、前記第 2 のゲート電極層とは、電氣的に接続され

ている。

【 0 0 2 7 】

(半導体装置の製造方法)

(a) 本発明の第 1 の半導体装置の製造方法は、
絶縁層と、
前記絶縁層の上に形成された半導体層とを含む半導体装置の製造方法であって

、
前記半導体層において素子分離領域を形成し、第 1 の素子形成領域および第 2 の素子形成領域を画定する工程 (A)、

前記第 1 の素子形成領域において、第 1 電界効果型トランジスタと第 1 バイポーラトランジスタとを形成する工程 (B) であって、

前記工程 (B) は、

(B-1) 少なくとも、第 1 のゲート電極層の形成予定領域における半導体層において、第 1 の第 2 導電型ボディ領域を形成する工程、

(B-2) 前記第 1 の素子形成領域における半導体層の上に、第 1 のゲート電極層および第 1 の電極層を形成する工程であって、

前記第 1 の電極層は、前記第 1 のゲート電極層に連続し、かつ、前記素子分離領域に達し、

(B-3) 前記バイポーラトランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれる第 3 の領域の半導体層において、第 1 の第 2 導電型不純物拡散層を形成する工程、

(B-4) 熱処理をすることにより、前記第 1 の第 2 導電型不純物拡散層を熱拡散して、前記第 1 のゲート電極層の一部の下、および前記第 1 の電極層の下の半導体層において、前記第 1 バイポーラトランジスタの第 1 の第 2 導電型ベース領域を形成し、該第 1 の第 2 導電型ベース領域と前記第 1 の第 2 導電型ボディ領域とを電氣的に接続する工程、

(B-5) 前記第 1 電界効果型トランジスタの形成領域における第 1 のゲート電極層と、前記第 1 の電極層と、前記素子分離領域とで囲まれた第 1 の領域の少なくとも一部に、前記第 1 電界効果型トランジスタの、第 1 導電型ソース領域を形

成する工程、

(B-6) 前記第1のゲート電極層と前記素子分離領域とで囲まれた第2の領域の一部に、前記第1電界効果型トランジスタの、第1導電型ドレイン領域を形成する工程、

(B-7) 前記第2の領域の一部に、前記第1バイポーラトランジスタの、第1の第1導電型コレクタ領域を形成する工程、および

(B-8) 前記第3の領域において、前記第1バイポーラトランジスタの、第1の第1導電型エミッタ領域を形成する工程、および

(B-9) 前記第1の第2導電型ボディ領域と前記第1導電型ソース領域を電氣的に接続する工程を含み、

前記第2の素子形成領域において、第2電界効果型トランジスタと第2バイポーラトランジスタとを形成する工程(C)であって、

前記工程(C)は、

(C-1) 少なくとも、第2のゲート電極層の形成予定領域における半導体層において、第1の第1導電型ボディ領域を形成する工程、

(C-2) 少なくとも、第2の電極層の形成予定領域における半導体層の一部において、第2の第2導電型ボディ領域を形成する工程、

(C-3) 前記第2の素子形成領域における半導体層の上に、第2のゲート電極層および第2の電極層を形成する工程であって、

前記第2の電極層は、一方の端部が前記ゲート電極層の側部に連続し、かつ、他方の端部が前記素子分離領域に達し、

(C-4) 前記第2バイポーラトランジスタの形成領域における第2のゲート電極層と、前記第2の電極層と、前記素子分離領域とで囲まれる第6の領域の半導体層において、第2の第2導電型不純物拡散層を形成する工程、

(C-5) 熱処理をすることにより、前記第2の第2導電型不純物拡散層を熱拡散して、前記第2のゲート電極層の一部の下、および前記第2の電極層の下の半導体層において、前記第2バイポーラトランジスタの、第2の第2導電型ベース領域を形成し、該第2の第2導電型ベース領域と前記第2の第2導電型ボディ領域とを電氣的に接続する工程、

(C-6) 前記第2電界効果型トランジスタの形成領域における第2のゲート電極層と前記第2の電極層と前記素子分離領域とで囲まれた第4の領域に、前記第2電界効果型トランジスタの、第2導電型ドレイン領域を形成する工程であって、

前記第2導電型ドレイン領域は、前記第2の第2導電型ボディ領域を介して、前記第2の第2導電型ベース領域と電氣的に接続し、

(C-7) 前記第2のゲート電極層と前記素子分離領域とで囲まれた第5の領域の一部に、前記第2電界効果型トランジスタの、第2導電型ソース領域を形成する工程、

(C-8) 前記第5の領域の一部に、前記第2バイポーラトランジスタの、第2の第1導電型コレクタ領域を形成する工程であって、

前記第2の第1導電型コレクタ領域は、前記第1の第1導電型ボディ領域と電氣的に接続し、

(C-9) 前記第6の領域において、前記第2バイポーラトランジスタの、第2の第1導電型エミッタ領域を形成する工程、および

(C-10) 前記第2導電型ソース領域と前記第2の第1導電型コレクタ領域とを電氣的に接続する工程を含み、

前記第1の第1導電型コレクタ領域と、前記第2の第1導電型エミッタ領域とを電氣的に接続する工程(D)、および

前記第1のゲート電極層と、前記第2のゲート電極層とを、電氣的に接続する工程(E)を含む。

【0028】

(b) 本発明の第2の半導体装置の製造方法は、
絶縁層と、

前記絶縁層の上に形成された半導体層とを含む半導体装置の製造方法であって、

前記半導体層において素子分離領域を形成し、第1の素子形成領域および第2の素子形成領域を画定する工程(F)、

前記第1の素子形成領域において、第1電界効果型トランジスタと第1バイポ

ーラトランジスタとを形成する工程（G）であって、

前記工程（G）は、

（G-1）少なくとも、第1のゲート電極層の形成予定領域および第1の層の形成予定領域における半導体層において、第1の第2導電型ボディ領域を形成する工程、

（G-2）前記第1の素子形成領域における半導体層の上に、第1のゲート電極層を形成する工程、

（G-3）前記第1の素子形成領域における半導体層の上に、第1の層を形成する工程であって、

前記第1の層は、一方の端部が前記第1のゲート電極層または第2の層に連続し、他方の端部が素子分離領域に達し、

（G-4）前記第1の素子形成領域における半導体層の上に、第2の層を形成する工程であって、

前記第2の層は、一方の端部が前記第1のゲート電極層または第1の層に連続し、他方の端部が素子分離領域に達し、

（G-5）前記第1の層と、前記第2の層と、前記素子分離領域とで囲まれる第3の領域の半導体層において、第1の第2導電型不純物拡散層を形成する工程、

（G-6）熱処理をすることにより、前記第1の第2導電型不純物拡散層を熱拡散して、前記第1の層の一部の下、および前記第2の層の一部の下の半導体層において、前記第1バイポーラトランジスタの第1の第2導電型ベース領域を形成し、該第1の第2導電型ベース領域と前記第1の第2導電型ボディ領域とを電氣的に接続する工程、

（G-7）前記ゲート電極層と前記第1の層と前記素子分離領域とで囲まれた第1の領域の少なくとも一部に、前記第1電界効果型トランジスタの、第1導電型ソース領域を形成する工程、

（G-8）前記ゲート電極層と前記第2の層と前記素子分離領域とで囲まれた第2の領域の一部に、前記第1電界効果型トランジスタの、第1導電型ドレイン領域を形成する工程、

（G-9）前記第1のゲート電極層と前記第2の層と前記素子分離領域とで囲ま

れた第2の領域の一部に、前記第1バイポーラトランジスタの、第1の第1導電型コレクタ領域を形成する工程、および

(G-10) 前記第1の層と前記第2の層と前記素子分離領域とで囲まれた第3の領域において、前記第1バイポーラトランジスタの、第1の第1導電型エミッタ領域を形成する工程、および

(G-11) 前記第1の第2導電型ボディ領域と前記第1導電型ソース領域を電氣的に接続する工程を含み、

前記第2の素子形成領域において、第2電界効果型トランジスタと第2バイポーラトランジスタとを形成する工程(H)であって、

前記工程(H)は、

(H-1) 少なくとも、第2のゲート電極層の形成予定領域および第4の層の形成予定領域における半導体層において、第1の第1導電型ボディ領域を形成する工程、

(H-2) 少なくとも、第3の層の形成予定領域における半導体層の一部において、第2の第2導電型ボディ領域を形成する工程、

(H-3) 前記第2の素子形成領域における半導体層の上に、第2のゲート電極層を形成する工程、

(H-4) 前記第2の素子形成領域における半導体層の上に、第3の層を形成する工程であって、

前記第3の層は、一方の端部が前記第2のゲート電極層または第4の層に連続し、他方の端部が素子分離領域に達し、

(H-5) 前記第2の素子形成領域における半導体層の上に、第4の層を形成する工程であって、

前記第4の層は、一方の端部が前記第2のゲート電極層または第3の層に連続し、他方の端部が素子分離領域に達し、

(H-6) 前記第3の層と、前記第4の層と、前記素子分離領域とで囲まれる第6の領域の半導体層において、第2の第2導電型不純物拡散層を形成する工程、

(H-7) 熱処理をすることにより、前記第2の第2導電型不純物拡散層を熱拡散して、前記第3の層の一部の下、および前記第4の層の一部の下の半導体層に

において、前記第 2 バイポーラトランジスタの、第 2 の第 2 導電型ベース領域を形成し、該第 2 の第 2 導電型ベース領域と前記第 2 の第 2 導電型ボディ領域とを電氣的に接続する工程、

(H-8) 前記第 2 のゲート電極層と前記第 3 の層と前記素子分離領域とで囲まれた第 4 の領域に、前記第 2 電界効果型トランジスタの、第 2 導電型ドレイン領域を形成する工程であって、

前記第 2 導電型ドレイン領域は、前記第 2 の第 2 導電型ボディ領域を介して、前記第 2 の第 2 導電型ベース領域と電氣的に接続し、

(H-9) 前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれた第 5 の領域の一部において、前記第 2 電界効果型トランジスタの、第 2 導電型ソース領域を形成する工程、

(H-10) 前記第 2 のゲート電極層と前記第 4 の層と前記素子分離領域とで囲まれた第 5 の領域の一部において、前記第 2 バイポーラトランジスタの、第 2 の第 1 導電型コレクタ領域を形成する工程であって、

前記第 2 の第 1 導電型コレクタ領域は、前記第 1 の第 1 導電型ボディ領域と電氣的に接続し、

(H-11) 前記第 3 の層と前記第 4 の層と前記素子分離領域とで囲まれた第 6 の領域において、前記第 2 バイポーラトランジスタの、第 2 の第 1 導電型エミッタ領域を形成する工程、および

(H-12) 前記第 2 導電型ソース領域と前記第 2 の第 1 導電型コレクタ領域とを電氣的に接続する工程を含み、

前記第 1 の第 1 導電型コレクタ領域と、前記第 2 の第 1 導電型エミッタ領域とを電氣的に接続する工程 (I)、および

前記第 1 のゲート電極層と、前記第 2 のゲート電極層とを、電氣的に接続する工程 (J) を含む。

【 0 0 2 9 】

本発明の第 2 の半導体装置の製造方法は、少なくとも次のいずれかの態様をとることができる。

【 0 0 3 0 】

(1) さらに、前記第 1 の素子形成領域における第 2 の層の下の半導体層であって、前記素子分離領域の近傍の半導体層に、第 3 の第 2 導電型ボディ領域を形成する工程を含む態様。

【0031】

(2) さらに、前記第 2 の素子形成領域における第 4 の層の下の半導体層であって、前記素子分離領域の近傍の半導体層に、第 4 の第 2 導電型ボディ領域を形成する工程を含む態様。

【0032】

(3) 前記第 1 導電型は、n 型であり、前記第 2 導電型は、p 型である態様。
または、前記第 1 導電型は、p 型であり、前記第 2 導電型は、n 型である態様。

【0033】

(4) 前記半導体層は、シリコン層である態様。

【0034】

【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

【0035】

[半導体装置]

(全体構成)

図 1 は、実施の形態に係る半導体装置を模式的に示す平面図である。図 2 は、実施の形態に係る半導体装置の等価回路を示す。

【0036】

半導体装置 1000 は、第 1 のスイッチング素子 1000A と、第 2 のスイッチング素子 1000B とを有する。第 1 のスイッチング素子 1000A は、素子分離領域 14 で画定された第 1 の素子形成領域 16a において形成されている。第 2 のスイッチング素子 1000B は、素子分離領域 14 で画定された第 2 の素子形成領域 16b において形成されている。第 1 のスイッチング素子 1000A と、第 2 のスイッチング素子 1000B とで、BICMOS インバータ回路を構成している。以下、第 1 のスイッチング素子 1000A および第 2 のスイッチング素子 1000B とを具体的に説明する。

【 0 0 3 7 】

(第 1 のスイッチング素子)

以下、第 1 のスイッチング素子を説明する。図 3 は、第 1 のスイッチング素子を模式的に示す平面図である。図 4 は、第 1 のゲート電極層が形成されている層およびその層より下における第 1 のスイッチング素子の平面を模式的に示す平面図である。図 5 は、半導体層が形成されている層における第 1 のスイッチング素子の平面を模式的に示す平面図である。具体的には、不純物拡散層およびボディ領域の構成を示す。図 5 において、右下がりの細い斜線領域は n 型の領域を示し、左下がりの細い斜線領域は p 型の領域を示す。図 6 は、図 3 における A - A 線に沿った断面を模式的に示す断面図である。図 6 は、具体的には第 1 電界効果型トランジスタの断面を模式的に示す断面図である。図 7 は、図 3 における B - B 線に沿った断面を模式的に示す断面図である。図 8 は、図 3 における C - C 線に沿った断面を模式的に示す断面図である。図 8 は、具体的には第 1 バイポーラトランジスタの断面を模式的に示す断面図である。図 3 ~ 図 5 において、太い斜線領域は、素子分離領域を示す。

【 0 0 3 8 】

第 1 のスイッチング素子 1 0 0 0 A は、第 1 電界効果型トランジスタ (M O S トランジスタ) 1 0 0 と第 1 バイポーラトランジスタ 2 0 0 とで構成されている。第 1 電界効果型トランジスタ 1 0 0 および第 1 バイポーラトランジスタ 2 0 0 は、第 1 の素子形成領域 1 6 a 内において形成されている。第 1 電界効果型トランジスタ 1 0 0 は n 型であり、第 1 バイポーラトランジスタ 2 0 0 は n p n 型である。

【 0 0 3 9 】

第 1 電界効果型トランジスタ 1 0 0 は、図 6 に示すように、第 1 のゲート電極層 1 1 0 と、n 型ソース領域 1 2 0 と、n 型ドレイン領域 1 3 0 とを有する。第 1 バイポーラトランジスタ 2 0 0 は、図 8 に示すように、第 1 の n 型エミッタ領域 2 1 0 と、第 1 の p 型ベース領域 2 2 0 と、第 1 の n 型ボディ領域 (第 2 の第 1 導電型ボディ領域) 5 2 a と、第 1 の n 型コレクタ領域 2 3 0 とを有する。以下、具体的に、第 1 電界効果型トランジスタ 1 0 0 および第 1 バイポーラトラン

ジスタ 2 0 0 の構成を説明する。

【 0 0 4 0 】

まず、図 4 を参照して、第 1 のゲート電極層 1 1 0 が形成された層を説明する。第 1 のゲート電極層 1 1 0 は、第 1 のゲート絶縁層（図 4 において図示せず）1 4 0 を介して、第 1 の素子形成領域 1 6 a の所定領域の上に形成されている。具体的には、第 1 のゲート電極層 1 1 0 は、第 1 の素子形成領域 1 6 a を跨ぐように形成されている。すなわち、第 1 のゲート電極層 1 1 0 は、素子分離領域 1 4 から第 1 の素子形成領域 1 6 a を経由し、再び素子分離領域 1 4 にまで延在している。第 1 のゲート電極層 1 1 0 の側部には、第 1 の電極層 6 0 が形成されている。第 1 の電極層 6 0 は、第 1 の素子形成領域 1 6 a の所定領域の上に形成され、素子分離領域 1 4 まで延在している。第 1 の電極層 6 0 と第 1 のゲート電極層 1 1 0 とは、一体的に形成されている。

【 0 0 4 1 】

次に、図 4 および図 5 を参照して、半導体層 1 0 a が形成されている層を説明する。第 1 のゲート電極層 1 1 0 と第 1 の電極層 6 0 と素子分離領域 1 4 とで囲まれる領域のうち、第 1 電界効果型トランジスタ 1 0 0 が形成された側の領域を第 1 の領域 A 1 0 とし、第 1 バイポーラトランジスタ 2 0 0 が形成された側の領域を第 3 の領域 A 3 0 とする。第 1 の領域 A 1 0 の一部の半導体層 1 0 a において、n 型ソース領域 1 2 0 が形成されている。n 型ソース領域 1 2 0 は、n 型不純物拡散層からなる。

【 0 0 4 2 】

第 1 のゲート電極層 1 1 0 と素子分離領域 1 4 とで囲まれる領域を、第 2 の領域 A 2 0 とする。第 2 の領域 A 2 0 の一部の半導体層 1 0 a において、n 型ドレイン領域 1 3 0 が形成されている。また、第 2 の領域 A 2 0 の一部の半導体層において、第 1 の n 型コレクタ領域 2 3 0 が形成されている。n 型ドレイン領域 1 3 0 と第 1 の n 型コレクタ領域 2 3 0 とは、相互に電氣的に接続されて構成されている。具体的には、n 型ドレイン領域 1 3 0 および第 1 の n 型コレクタ領域 2 3 0 は、それぞれ n 型不純物拡散層から構成され、これらの n 型不純物拡散層は、相互に連続して一体的に形成されている。

【 0 0 4 3 】

第 3 の領域 A 3 0 において、第 1 の n 型エミッタ領域 2 1 0 が形成されている。第 1 の n 型エミッタ領域 2 1 0 は、n 型不純物拡散層から構成されている。第 1 の n 型エミッタ領域 2 1 0 は、n 型ソース領域 1 2 0 と離間して形成されている。すなわち、第 1 の n 型エミッタ領域 2 1 0 は、n 型ソース領域 1 2 0 と構造的に分離されている。

【 0 0 4 4 】

第 1 の素子形成領域 1 6 a において、第 3 の領域 A 3 0 に隣接している、第 1 のゲート電極層 1 1 0 および第 1 の電極層 6 0 の下方には、第 1 の p 型ベース領域 2 2 0 が形成されている。第 1 の p 型ベース領域 2 2 0 は、p 型不純物拡散層から構成されている。第 1 の p 型ベース領域 2 2 0 は、第 1 の n 型エミッタ領域 2 1 0 の周囲に沿って形成されている。

【 0 0 4 5 】

第 1 の素子形成領域 1 6 a において、第 1 のゲート電極層 1 1 0 の下における半導体層 1 0 a と、第 1 の電極層 6 0 の一部の下の半導体層 1 0 a とにおいて、第 1 の p 型ボディ領域 5 0 a が形成されている。第 1 の p 型ボディ領域 5 0 a は、第 1 の電極層 6 0 の下において、第 1 の p 型ベース領域 2 2 0 と電氣的に接続されている。

【 0 0 4 6 】

第 1 の素子形成領域 1 6 a において、第 2 の電極層 7 0 の下の半導体層 1 0 a であって、素子分離領域 1 4 の近傍における半導体層 1 0 a において、第 2 の p 型ボディ領域（第 3 の第 2 導電型ボディ領域）5 0 b が形成されている。

【 0 0 4 7 】

第 1 の領域 A 1 0 であって、n 型ソース領域 1 2 0 以外の領域において、p 型不純物拡散層 4 0 が形成されている。具体的には、p 型不純物拡散層 4 0 は、第 1 の p 型ボディ領域 5 0 a と n 型ソース領域 1 2 0 との間において、形成されている。

【 0 0 4 8 】

第 1 の素子形成領域 1 6 a における、第 1 バイポーラトランジスタ 2 0 0 の形

成領域におけるゲート電極層 1 1 0 の一部の下の半導体層 1 0 a において、第 1 の n 型ボディ領域 5 2 a が形成されている。第 1 の n 型ボディ領域 5 2 a は、第 1 の p 型ベース領域 2 2 0 と第 1 の n 型コレクタ領域 2 3 0 との間において形成されている。

【 0 0 4 9 】

次に、半導体層 1 0 a 上について、図 3 および図 6 ～図 8 を参照して説明する。半導体層 1 0 a の上には、層間絶縁層 8 0 が形成されている。層間絶縁層 8 0 の所定の領域には、第 1 ～第 4 のスルーホール 8 2 a, 8 2 b, 8 2 c, 8 2 d が形成されている。第 1 のスルーホール 8 2 a は、第 1 の領域 A 1 0 において形成され、かつ、n 型ソース領域 1 2 0 と p 型不純物拡散層 4 0 とを跨ぐようにして形成されている。第 2 のスルーホール 8 2 b は、第 2 の領域 A 2 0 において形成されている。第 3 のスルーホール 8 2 c は、第 3 の領域 A 3 0 において形成されている。第 4 のスルーホール 8 2 d は、第 1 のゲート電極層 1 1 0 を取り出すために形成されている。

【 0 0 5 0 】

第 1 のスルーホール 8 2 a 内には、第 1 のコンタクト層 8 4 a が形成されている。第 1 のコンタクト層 8 4 a は、n 型ソース領域 1 2 0 と p 型不純物拡散層 4 0 とを電氣的に接続させる機能を有する。これにより、第 1 の p 型ボディ領域 5 0 a と n 型ソース領域 1 2 0 とは、p 型不純物拡散層 4 0 を介して電氣的に接続される。第 2 ～第 4 のスルーホール 8 2 b, 8 2 c, 8 2 d 内には、それぞれ第 2 ～4 のコンタクト層 8 4 b, 8 4 c, 8 4 d が形成されている。

【 0 0 5 1 】

層間絶縁層 8 0 の上において、第 2 のコンタクト層 8 4 b と電氣的に接続された第 1 の配線層 9 0 a が形成されている。また、層間絶縁層 8 0 の上において、第 3 のコンタクト層 8 4 c と電氣的に接続された第 2 の配線層 9 0 b が形成されている。第 2 の配線層 9 0 b は、接地される。また、層間絶縁層 8 0 の上において、第 4 のコンタクト層 8 4 d と電氣的に接続された第 3 の配線層 9 0 c が形成されている。

【 0 0 5 2 】

(第2のスイッチング素子)

以下、第2のスイッチング素子を説明する。図9は、第2のスイッチング素子を模式的に示す平面図である。図10は、第2のゲート電極層が形成されている層およびその層より下における第2のスイッチング素子の平面を模式的に示す平面図である。図11は、半導体層が形成されている層における第2のスイッチング素子の平面を模式的に示す平面図である。具体的には、不純物拡散層およびボディ領域の構成を示す。図11において、右下がりの細い斜線領域はn型の領域を示し、左下がりの細い斜線領域はp型の領域を示す。図12は、図9におけるD-D線に沿った断面を模式的に示す断面図である。図12は、具体的には電界効果型トランジスタの断面を模式的に示す断面図である。図13は、図9におけるE-E線に沿った断面を模式的に示す断面図である。図14は、図9におけるF-F線に沿った断面を模式的に示す断面図である。図14は、具体的にはバイポーラトランジスタの断面を模式的に示す断面図である。図9～図11において、太い斜線領域は、素子分離領域を示す。

【0053】

第2のスイッチング素子1000Bは、第2電界効果型トランジスタ(MOSトランジスタ)300と第2バイポーラトランジスタ400とで構成されている。第1電界効果型トランジスタ300および第2バイポーラトランジスタ400は、第2の素子形成領域16bにおいて形成されている。第2電界効果型トランジスタ300はp型であり、第2バイポーラトランジスタ400はnpn型である。

【0054】

第2電界効果型トランジスタ300は、図12に示すように、第2のゲート電極層310と、p型ソース領域320と、p型ドレイン領域330とを有する。第2バイポーラトランジスタ400は、図14に示すように、第2のn型エミッタ領域410と、第2のp型ベース領域220と、第2のn型ボディ領域(第1の第1導電型ボディ領域)54aと、第2のn型コレクタ領域430とを有する。以下、具体的に、第2電界効果型トランジスタ300および第2バイポーラトランジスタ400の構成を説明する。

【 0 0 5 5 】

まず、図 1 0 を参照して、第 2 のゲート電極層 3 1 0 が形成された層を説明する。第 2 のゲート電極層 3 1 0 は、ゲート絶縁層（図 1 0 において図示せず） 3 4 0 を介して、第 2 の素子形成領域 1 6 b の所定領域の上に形成されている。具体的には、第 2 のゲート電極層 3 1 0 は、第 2 の素子形成領域 1 6 b を跨ぐように形成されている。すなわち、第 2 のゲート電極層 3 1 0 は、素子分離領域 1 4 から第 2 の素子形成領域 1 6 b を経由し、再び素子分離領域 1 4 にまで延在している。第 2 のゲート電極層 3 1 0 の側部には、第 2 の電極層 6 2 が形成されている。第 2 の電極層 6 2 は、第 2 のゲート電極層 3 1 0 と接続されている。第 2 の電極層 6 2 は、第 2 の素子形成領域 1 6 b の所定領域の上に形成され、素子分離領域 1 4 まで延在している。第 2 の電極層 6 2 と第 2 のゲート電極層 3 1 0 とは、一体的に形成されている。

【 0 0 5 6 】

次に、図 1 0 および図 1 1 を参照して、半導体層 1 0 a が形成されている層を説明する。第 2 のゲート電極層 3 1 0 と第 2 の電極層 6 2 と素子分離領域 1 4 とで囲まれる領域のうち、第 2 電界効果型トランジスタ 3 0 0 が形成された側の領域を第 4 の領域 A 4 0 とし、第 2 バイポーラトランジスタ 4 0 0 が形成された側の領域を第 6 の領域 A 6 0 とする。第 4 の領域 A 4 0 の半導体層 1 0 a において、p 型ソース領域 3 3 0 が形成されている。p 型ソース領域 3 3 0 は、p 型不純物拡散層からなる。

【 0 0 5 7 】

第 2 のゲート電極層 3 1 0 と素子分離領域 1 4 とで囲まれる領域を、第 5 の領域 A 5 0 とする。第 5 の領域 A 5 0 の一部の半導体層 1 0 a において、p 型ソース領域 3 2 0 が形成されている。p 型ソース領域 3 2 0 は、p 型不純物拡散層から構成されている。また、第 5 の領域 A 5 0 の一部の半導体層 1 0 a において、第 2 の n 型コレクタ領域 4 3 0 が形成されている。第 2 の n 型コレクタ領域 4 3 0 は、n 型不純物拡散層から構成されている。

【 0 0 5 8 】

第 6 の領域 A 6 0 において、第 2 の n 型エミッタ領域 4 1 0 が形成されている

。第2のn型エミッタ領域410は、n型不純物拡散層から構成されている。

【0059】

第2の素子形成領域16bにおいて、第6の領域A60に隣接する、第2のゲート電極層310および第2の電極層62の下方には、第2のp型ベース領域420が形成されている。第2のp型ベース領域420は、p型不純物拡散層から構成されている。第2のp型ベース領域420は、第2のn型エミッタ領域410の周囲に沿って形成されている。

【0060】

第2の素子形成領域16bにおいて、第2のゲート電極層310の下の半導体層10aとにおいて、第2のn型ボディ領域54aが形成されている。第2のn型ボディ領域54aは、第2のn型コレクタ領域430と電氣的に接続されている。

【0061】

第2の電極層62の下の半導体層10aにおいて、第3のp型ボディ領域（第2の第2導電型ボディ領域）50cが形成されている。第3のp型ボディ領域50cは、p型ドレイン領域330と第2のp型ベース領域420との間において形成されている。第3のp型ボディ領域50cにより、p型ドレイン領域330と第2のp型ベース領域420とが電氣的に接続される。

【0062】

第2の素子形成領域16bにおいて、第2バイポーラトランジスタの形成領域における第2のゲート電極層310の下の半導体層10aであって、素子分離領域14の近傍における半導体層10aにおいて、第4のp型ボディ領域50dが形成されている。

【0063】

次に、半導体層10a上について、図9および図12～図14を参照して説明する。半導体層10aの上には、層間絶縁層80が形成されている。層間絶縁層80の所定の領域には、第5～第8のスルーホール82e, 82f, 82g, 82hが形成されている。第5のスルーホール82eは、第4の領域A40において形成されている。第6のスルーホール82fは、第5の領域A50において形

成されている。第6のスルーホール82fは、p型ソース領域320と第2のn型コレクタ領域430とを跨ぐようにして形成されている。第7のスルーホール82gは、第6の領域A60において形成されている。第8のスルーホール82hは、第2のゲート電極層310を取り出すために形成されている。

【0064】

第5～第8のスルーホール82e, 82f, 82g, 82h内には、それぞれ第5～8のコンタクト層84e, 84f, 84g, 84hが形成されている。第6のコンタクト層84fは、p型ソース領域320と第2のn型コレクタ領域430とを電氣的に接続させる機能する。

【0065】

層間絶縁層80の上において、第6のコンタクト層84fと電氣的に接続された第4の配線層90dが形成されている。また、層間絶縁層80の上において、第7のコンタクト層84gと電氣的に接続された第5の配線層90eが形成されている。また、層間絶縁層80の上において、第8のコンタクト層84hと電氣的に接続された第3の配線層90fが形成されている。

【0066】

(接続関係)

以下、第1のスイッチング素子1000Aと第2のスイッチング素子1000Bとの接続関係を説明する。

【0067】

第1のスイッチング素子1000Aに係る第1のn型コレクタ領域230と、第2のスイッチング素子1000Bに係る第2のn型エミッタ領域410とは、電氣的に接続されている。また、第3の配線層90aと第6の配線層90fとは、電氣的に接続されている。その結果、第1のゲート電極層60と第3のゲート電極層62とが電氣的に接続される。

【0068】

以下、実施の形態に係る半導体装置の作用効果を説明する。

【0069】

(1) 本実施の形態に係る第1のスイッチング素子1000Aによれば、基板

浮遊効果が発生するのを抑えることができる。すなわち、しきい値電圧が変化したり、キंकやヒストリ効果が発生するのを抑えることができる。

【 0 0 7 0 】

(2) 本実施の形態に係る第2のスイッチング素子1000Bによれば、基板浮遊効果が発生するのを抑えることができる。すなわち、しきい値電圧が変化したり、キंकやヒストリ効果が発生するのを抑えることができる。

【 0 0 7 1 】

(3) B I C M O S インバータ回路は、基板浮遊効果が抑えられた第1および第2のスイッチング素子1000A、1000Bにより構成されているため、その特性を向上させることができる。

【 0 0 7 2 】

〔半導体装置の製造方法〕

以下、実施の形態に係る半導体装置の製造方法を説明する。図15～図20は、実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。図16～図20において、左下がりの細い斜線領域はp型領域を示し、右下がりの細い斜線領域はn型領域を示す。

【 0 0 7 3 】

まず、図15に示すように、S O I 基板10における半導体層10aにおいて、素子分離領域14を形成する。素子分離領域14が形成されることにより、第1の素子形成領域16aおよび第2の素子形成領域16bが規定される。素子分離領域14の形成方法としては、L O C O S 法、トレンチ分離方法を挙げることができる。

【 0 0 7 4 】

次に、リソグラフィ技術を利用して、第1および第2の素子形成領域16a、16bの全体に、n型の不純物をイオン注入することにより、n型ボディ領域52a、54aを形成する。

【 0 0 7 5 】

次に、リソグラフィ技術を利用して第1の素子形成領域16aの所定領域にp型の不純物をイオン注入することにより第1のp型ボディ領域50aを形成し、

第2の素子形成領域16bの所定領域に、p型の不純物をイオン注入することにより、第3のp型ボディ領域50cを形成する。p型の不純物がイオン注入された結果、第1の素子形成領域16aにおいて所定の領域のみに第1のn型ボディ領域52aが形成され、第2の素子形成領域16bにおいて所定の領域のみに第2のn型ボディ領域54aが形成される。

【0076】

素子分離領域14がLOCOS法により形成される場合には、第1バイポーラトランジスタ側の、第1のゲート電極層の形成予定領域110Aにおける半導体層10aであって、素子分離領域14の近傍の半導体層10aにおいて、第2のp型ボディ領域50bが形成されることが好ましい。また、素子分離領域14がLOCOS法により形成される場合には、第2バイポーラトランジスタ側の、第2のゲート電極層の形成予定領域310Aにおける半導体層10aであって、素子分離領域14の近傍の半導体層10aにおいて、第4のp型ボディ領域50dが形成されることが好ましい。

【0077】

次に、CVD法などにより、全面にポリシリコン層（図示せず）を堆積する。この後、リソグラフィおよびエッチング技術により、ポリシリコン層をパターンニングし、図17に示すように、第1のゲート電極層110と、第1の電極層60と、第2のゲート電極層310と、第2の電極層62とを形成する。

【0078】

次に、図18に示すように、リソグラフィ技術を利用して、第3の領域A30内に、選択的にp型の不純物をイオン注入し、第1のp型不純物拡散層222を形成する。また、これと同時に、リソグラフィ技術を利用して、第6の領域A30内に、選択的にp型の不純物をイオン注入し、第2のp型不純物拡散層422を形成する。

【0079】

次に、図19に示すように、SOI基板10を熱処理することにより、第1および第2のp型不純物拡散層222、422を熱拡散する。こうして、第1のゲート電極層60および第1の電極層60の一部の下方において、第1のp型ペー

ス領域 2 2 0 が形成される。また、第 2 のゲート電極層 3 1 0 および第 2 の電極層 6 2 の一部の下方向において、第 2 の p 型ベース領域 4 2 0 が形成される。より具体的には、熱処理温度が 1 1 0 0 °C の場合には熱処理時間はたとえば 1 0 分であり、熱処理温度が 1 0 5 0 °C の場合には熱処理時間はたとえば 3 0 分である。

【 0 0 8 0 】

次に、図 2 0 に示すように、リソグラフィ技術を利用して、素子形成領域 1 6 の所定領域内に、選択的に n 型の不純物をイオン注入する。こうして、第 1 の領域 A 1 0 において、n 型ソース領域 1 2 0 が形成され、第 2 の領域 A 2 0 において n 型ドレイン領域 1 3 0 および第 1 の n 型コレクタ領域 2 3 0 が形成され、第 3 の領域 A 3 0 において第 1 の n 型エミッタ領域 2 1 0 が形成される。また、第 5 の領域 A 5 0 において第 2 のコレクタ領域 4 3 0 が形成され、第 6 の領域 A 6 0 において第 2 のコレクタ領域 4 1 0 が形成される。

【 0 0 8 1 】

次に、リソグラフィ技術を利用して、p 型の不純物をイオン注入して、第 1 の領域 A 1 0 内の所定領域に p 型不純物拡散層 4 0 を形成し、第 4 の領域に p 型ドレイン領域 3 3 0 を形成し、第 5 の領域の所定領域に p 型ソース領域 3 2 0 を形成する。

【 0 0 8 2 】

次に、図 1、図 6 ～ 図 8 および図 1 2 ～ 1 4 に示すように、S O I 基板 1 0 の上に、公知の方法により、酸化シリコンからなる層間絶縁層 8 0 を形成する。次に、層間絶縁層 8 0 内の所定領域において、第 1 ～ 第 8 のスルーホール 8 2 a, 8 2 b, 8 2 c, 8 2 d, 8 2 e, 8 2 f, 8 2 g, 8 2 h を形成する。次に、第 1 ～ 第 8 のスルーホール 8 2 a, 8 2 b, 8 2 c, 8 2 d, 8 2 e, 8 2 f, 8 2 g, 8 2 h 内に、導電層が充填され、第 1 ～ 第 8 のコンタクト層 8 4 a, 8 4 b, 8 4 c, 8 4 d, 8 4 e, 8 4 f, 8 4 g, 8 4 h が形成される。次に、層間絶縁層 8 0 の上に、所定のパターンを有する第 1 ～ 第 6 の配線層 9 0 a, 9 0 b, 9 0 c, 9 0 d, 9 0 e, 9 0 f を形成する。なお、第 1 の配線層 9 0 a と第 5 の配線層 9 0 e とは電氣的に接続され、第 3 の配線層 9 0 c と第 6 の配線層 9 0 f とは電氣的に接続される。こうして、本実施の形態に係る半導体装置 1

0 0 0 が形成される。

【 0 0 8 3 】

(作用効果)

以下、実施の形態に係る半導体装置の製造方法における作用効果を説明する。

【 0 0 8 4 】

(1) 本実施の形態においては、第3の領域A30において第1のp型不純物拡散層222を形成し、その第1のp型不純物拡散層222を熱処理することにより、p型不純物を熱拡散して第1のp型ベース領域220を形成している。これにより、第1の電極層60の下において、第1のp型ベース領域220と、第1のp型ボディ領域50aとが電氣的に接続される。したがって、本実施の形態の製造方法によれば、p型ベース領域220を引き出すためのコンタクト層を形成することなく、第1のp型ベース領域220と、第1のp型ボディ領域50aとを電氣的に接続することができる。

【 0 0 8 5 】

また、本実施の形態においては、第1のゲート電極層110および第1の電極層60をマスクとして、第3の領域A30内にn型の不純物をイオン注入して、第1のn型エミッタ領域210を形成することができる。したがって、本実施の形態によれば、p型ベース領域220に対して、n型エミッタ領域210を自己整合的に形成することができる。

【 0 0 8 6 】

(2) 本実施の形態においては、第6の領域A60において第2のp型不純物拡散層422を形成し、その第2のp型不純物拡散層422を熱処理することにより、p型不純物を熱拡散して第2のp型ベース領域420を形成している。第2のp型ベース領域420は、第3のp型ボディ領域50cを介して、p型ドレイン領域330と電氣的に接続される。したがって、本実施の形態の製造方法によれば、第2のp型ベース領域420を引き出すためのコンタクト層を形成することなく、第2のp型ベース領域420と、p型ドレイン領域330とを電氣的に接続することができる。

【 0 0 8 7 】

また、本実施の形態においては、第2のゲート電極層310および第2の電極層62をマスクとして、第6の領域A60内にn型の不純物をイオン注入して、第2のn型エミッタ領域410を形成することができる。したがって、本実施の形態によれば、第2のp型ベース領域420に対して、第2のn型エミッタ領域410を自己整合的に形成することができる。

【0088】

(3) 素子分離領域14がLOCOS法により形成された場合には、第1バイポーラトランジスタ200側の、第1のゲート電極層110の下の半導体層10aであって、素子分離領域14の近傍の半導体層10aにおいて、第2のp型ボディ領域50bを形成することが好ましい。この理由を次に述べる。

【0089】

第1バイポーラトランジスタ200側の、第1のゲート電極層110の下の半導体層10aであって、素子分離領域14の近傍の半導体層10aにおいて、n型のボディ領域を形成した場合には、次のような不具合が生じる。第1のp型ベース領域220は、第3の領域A30における第1のp型不純物拡散層222を熱拡散させることにより形成される。しかし、図21に示すように、素子分離領域14と絶縁層10bとで構成する隅部まで、p型の不純物が熱拡散し難いため、その隅部においてn型のボディ領域500が残存してしまう場合がある。n型のボディ領域500が残存すると、そのn型のボディ領域500を介して、第1のn型エミッタ領域210と第1のn型コレクタ領域230とが短絡することとなる。

【0090】

そこで、第1バイポーラトランジスタ200側の、第1のゲート電極層110の下の半導体層10aであって、素子分離領域14の近傍の半導体層10aにおいて、第2のp型ボディ領域50bを形成することにより、確実に、第1のn型エミッタ領域210と第1のn型コレクタ領域230とが短絡するのを防止することができる。

【0091】

また、同様の理由で、第2バイポーラトランジスタ400側の、第2のゲート

電極層 3 1 0 の下の半導体層 1 0 a であって、素子分離領域 1 4 の近傍の半導体層 1 0 a において、第 4 の p 型ボディ領域 5 0 d を形成することが好ましい。

【0 0 9 2】

〔実験例〕

以下、第 1 のスイッチング素子についての実験例を説明する。

【0 0 9 3】

（キンクについて）

上記の実施の形態に係る第 1 のスイッチング素子と、比較例に係るスイッチング素子とで、キンクに関してどのような差が生じるか調べた。図 2 2 は、実施の形態に係る第 1 のスイッチング素子に係るソース領域に対してドレイン領域に印加した電圧（ V_{DS} ）と、ドレイン電流（ I_D ）との関係を示すグラフである。図 2 3 は、比較例に係る、ソース領域に対してドレイン領域に印加した電圧（ V_{DS} ）と、ドレイン電流（ I_D ）との関係を示すグラフである。なお、 V_G は、ゲート電圧を意味する。

【0 0 9 4】

なお、実施の形態に係る第 1 のスイッチング素子の具体的な構成は、n 型の MOS トランジスタおよび npn 型のバイポーラトランジスタからなり、素子形成領域におけるゲート電極層の幅を $0.8\ \mu\text{m}$ とし、電界効果型トランジスタの形成領域におけるゲート電極層の長さを $4\ \mu\text{m}$ とし、バイポーラトランジスタの形成領域におけるゲート電極層の幅を $0.8\ \mu\text{m}$ とし、バイポーラトランジスタの形成領域におけるゲート電極層の長さを $4\ \mu\text{m}$ とした。比較例の構成は、単なる n 型の MOS トランジスタとした。比較例において、ゲート幅を $0.8\ \mu\text{m}$ とし、ゲート長を $8\ \mu\text{m}$ とした。実施の形態に係る第 1 のスイッチング素子と、比較例に係る電界効果型トランジスタとは、同一のウエハ上に形成され、同一のプロセス条件で形成された。

【0 0 9 5】

比較例においては、図 2 3 に示すように、キンク（kink）が発生していることがわかる。しかし、実施の形態に係る第 1 のスイッチング素子においては、図 2 2 に示すように、キンクが発生していないことがわかる。以上から、実施の形態

に係る第1のスイッチング素子によれば、キンクの発生を防止することができることがわかる。

【0096】

(ヒストリ効果について)

実施の形態に係る第1のスイッチング素子と、比較例に係る半導体装置とで、ヒストリ効果に関してどのような差が生じるか調べた。図24および図25は、ゲート電圧(VG)と、ドレイン電流(ID)との関係を示すグラフである。図24は、ソース領域に対してドレイン領域に印加した電圧が1Vの場合におけるデータである。図25は、ソース領域に対してドレイン領域に印加した電圧が0.1Vの場合におけるデータである。図24および図25において、細線は実施の形態に係る第1のスイッチング素子を示し、太線は比較例を示す。

【0097】

なお、図24および図25において、グラフA1は実施の形態に係る第1のスイッチング素子のデータであり、グラフB1は比較例のデータである。また、実施の形態に係る第1のスイッチング素子および比較例に係るスイッチング素子の条件は、キンクの項で説明したものと同様である。

【0098】

まず、図24の実験データについて検討する。比較例においては、ヒストリ効果が顕著に現れている。一方、実施の形態に係る第1のスイッチング素子においては、ゲート電圧が約0.25V以下においてヒストリ効果がわずかにみられるものの、比較例に比べて格段にヒストリ効果が抑えられていることがわかる。

【0099】

次に、図25の実験データについて検討する。比較例においては、ゲート電圧が約0.8V以下でヒストリ効果がみられる。一方、実施の形態に係る第1のスイッチング素子においては、ゲート電圧が0.15V以下でヒストリ効果がみられる。つまり、実施の形態に係る第1のスイッチング素子によれば、ヒストリ効果が発生しないゲート電圧の範囲が、比較例に比べて広い。

【0100】

[変形例]

上記の実施の形態は、本発明の範囲内で種々の変更が可能である。

【0101】

(1) 上記の実施の形態においては、第1電界効果型トランジスタはn型であり、第1バイポーラトランジスタはnpn型であり、第2電界効果型トランジスタはp型であり、第2バイポーラトランジスタはnpn型であった。しかし、第1電界効果型トランジスタはp型であり、第1バイポーラトランジスタはpnp型であり、第2電界効果型トランジスタはn型であり、第2バイポーラトランジスタはpnp型であってもよい。

【0102】

(2) 上記の実施の形態においては、第1のゲート電極層110は、素子形成領域16を跨ぐようにして設けられている。そして、第1のゲート電極層110の側部から素子分離領域16に達する第1の電極層60が形成されている。しかし、これに限定されず、図27に示すように、第1のゲート電極層110と第1の層70と第2の層72とで、第1の領域A10、第2の領域A20および第3の領域A30を構成してもよい。第1の層70および第2の層72の材質は、特に限定されず、たとえば絶縁性の材質（酸化シリコン、窒化シリコン）を挙げることができる。

【0103】

この変形例において、ゲート電極層110、第1の層70および第2の層72の接続関係は、たとえば次の関係がある。a) 第1の層70の端部がゲート電極層110に連続し、第2の層72の端部もゲート電極層110に連続している態様。b) 第1の層70の端部がゲート電極層110に連続し、第2の層72の端部が第1の層70の端部に連続している態様。c) 第2の層72の端部がゲート電極層110に連続し、第1の層70の端部が第2の層72に連続している態様。

【0104】

また、この変形例(2)は、第2のスイッチング素子1000Bにおいても適用することができる。

【0105】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図 1】

実施の形態に係る半導体装置を模式的に示す平面図である。

【図 2】

実施の形態に係る半導体装置の等価回路を示す。

【図 3】

第 1 のスイッチング素子を模式的に示す平面図である。

【図 4】

第 1 のゲート電極層が形成されているレベルにおける第 1 のスイッチング素子の平面を模式的に示す平面図である。

【図 5】

S O I 層の表面レベルにおける第 1 のスイッチング素子の平面を模式的に示す平面図である。

【図 6】

図 3 における A - A 線に沿った断面を模式的に示す断面図である。

【図 7】

図 3 における B - B 線に沿った断面を模式的に示す断面図である。

【図 8】

図 3 における C - C 線に沿った断面を模式的に示す断面図である。

【図 9】

第 2 のスイッチング素子を模式的に示す平面図である。

【図 1 0】

第 2 のゲート電極層が形成されているレベルにおける第 2 のスイッチング素子の平面を模式的に示す平面図である。

【図 1 1】

S O I 層の表面レベルにおける第 2 のスイッチング素子の平面を模式的に示す平面図である。

【図 1 2】

図 9 における D - D 線に沿った断面を模式的に示す断面図である。

【図 1 3】

図 9 における E - E 線に沿った断面を模式的に示す断面図である。

【図 1 4】

図 9 における F - F 線に沿った断面を模式的に示す断面図である。

【図 1 5】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 1 6】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 1 7】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 1 8】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 1 9】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 2 0】

実施の形態に係る半導体装置の製造工程を模式的に示す平面図である。

【図 2 1】

作用効果を説明するための断面模式図である。

【図 2 2】

実施例に係るソース領域に対してドレイン領域に印加した電圧 (V_{DS}) と、ドレイン電流 (I_D) との関係を示すグラフである。

【図 2 3】

比較例に係る、ソース領域に対してドレイン領域に印加した電圧 (V_{DS}) と、ドレイン電流 (I_D) との関係を示すグラフである。

【図 2 4】

ゲート電圧 (V_G) と、ドレイン電流 (I_D) との関係を示すグラフである。
ソース領域に対してドレイン領域に印加した電圧が 1 V の場合におけるデータで

ある。

【図 2 5】

ゲート電圧 (V_G) と、ドレイン電流 (I_D) との関係を示すグラフである。
ソース領域に対してドレイン領域に印加した電圧が 0. 1 V の場合におけるデータである。

【図 2 6】

従来例に係る SOI 基板の上に形成された MOS トランジスタを模式的に示す断面図である。

【図 2 7】

ゲート電極層が形成されている層における半導体装置の変形例を模式的に示す平面図である。

【符号の説明】

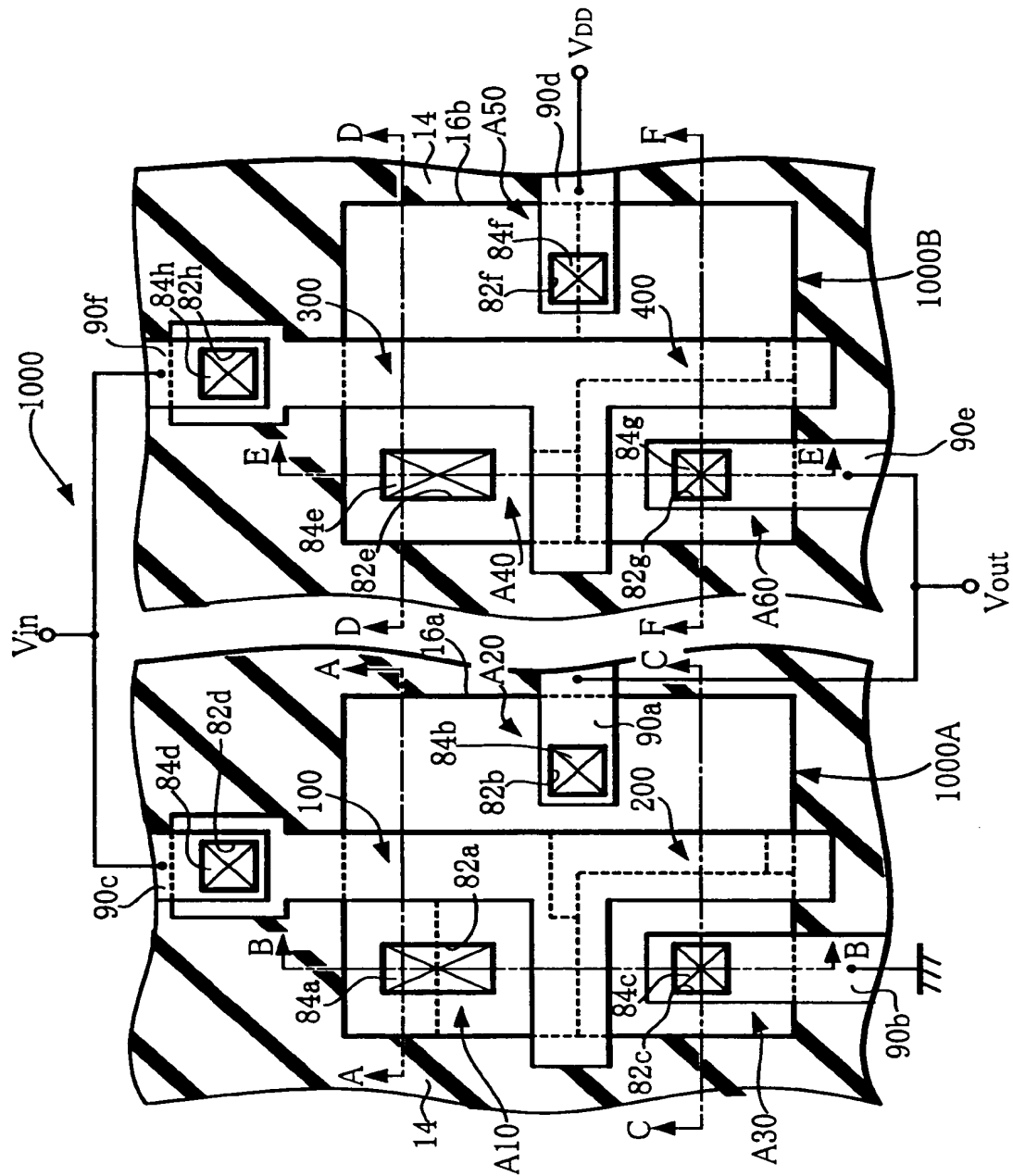
1 0	SOI 基板
1 0 a	SOI 層
1 4	素子分離領域
1 6 a	第 1 の素子形成領域
1 6 b	第 2 の素子形成領域
4 0	p 型不純物拡散層
5 0 a	第 1 の p 型ボディ領域
5 0 b	第 2 の p 型ボディ領域
5 0 c	第 3 の p 型ボディ領域
5 0 d	第 4 の p 型ボディ領域
5 2 a	第 1 の n 型ボディ領域
5 4 a	第 2 の n 型ボディ領域
6 0	第 1 の電極層
6 0 a	第 1 の電極層の形成予定領域
6 2	第 3 の電極層
6 2 a	第 3 の電極層の形成予定領域
8 0	層間絶縁層

- 8 2 a 第 1 のスルーホール
- 8 2 b 第 2 のスルーホール
- 8 2 c 第 3 のスルーホール
- 8 2 d 第 4 のスルーホール
- 8 2 e 第 5 のスルーホール
- 8 2 f 第 6 のスルーホール
- 8 2 g 第 7 のスルーホール
- 8 2 h 第 8 のスルーホール
- 8 4 a 第 1 のコンタクト層
- 8 4 b 第 2 のコンタクト層
- 8 4 c 第 3 のコンタクト層
- 8 4 d 第 4 のコンタクト層
- 8 4 e 第 5 のコンタクト層
- 8 4 f 第 6 のコンタクト層
- 8 4 g 第 7 のコンタクト層
- 8 4 h 第 8 のコンタクト層
- 9 0 a 第 1 の配線層
- 9 0 b 第 2 の配線層
- 9 0 c 第 3 の配線層
- 9 0 d 第 4 の配線層
- 9 0 e 第 5 の配線層
- 9 0 f 第 6 の配線層
- 1 0 0 n 型の電界効果型トランジスタ
- 1 1 0 ゲート電極層
- 1 1 0 a ゲート電極層の形成予定領域
- 1 2 0 n 型ソース領域
- 1 3 0 n 型ドレイン領域
- 1 4 0 第 1 のゲート絶縁層
- 2 0 0 第 1 の n p n 型のバイポーラトランジスタ

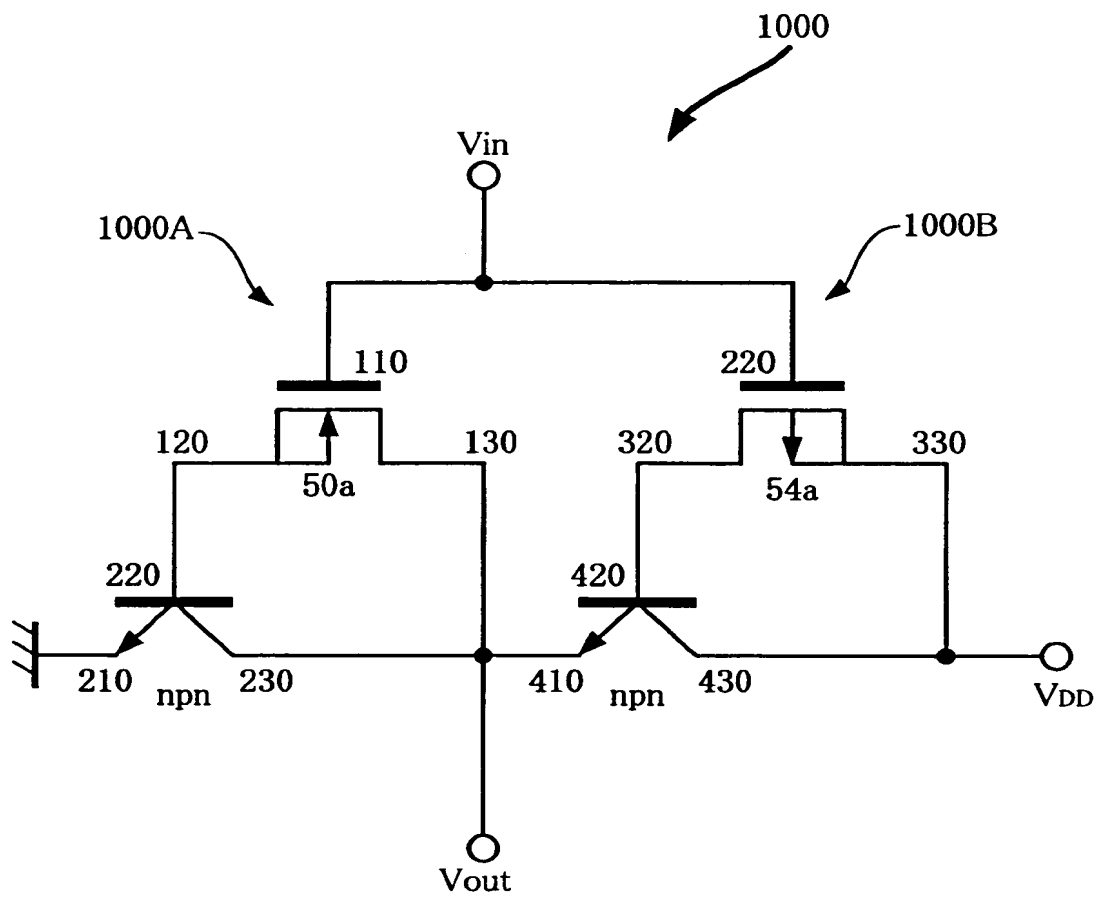
2 1 0	第 1 の n 型エミッタ領域
2 2 0	第 1 の p 型ベース領域
2 2 2	第 1 の p 型不純物拡散層
2 3 0	第 1 の n 型コレクタ領域
3 0 0	p 型の電界効果型トランジスタ
3 1 0	第 2 のゲート電極層
3 1 0 a	第 2 のゲート電極層の形成予定領域
3 2 0	p 型ソース領域
3 3 0	p 型ドレイン領域
3 4 0	ゲート絶縁層
4 0 0	第 2 の n p n 型バイポーラトランジスタ
4 1 0	第 2 の n 型エミッタ領域
4 2 0	第 2 の p 型ベース領域
4 2 2	第 2 の p 型不純物拡散層
4 3 0	第 2 の n 型コレクタ領域
A 1 0	第 1 の領域
A 2 0	第 2 の領域
A 3 0	第 3 の領域
B 1 0	第 4 の領域
B 2 0	第 5 の領域
B 3 0	第 6 の領域
1 0 0 0	半導体装置
1 0 0 0 A	第 1 のスイッチング素子
1 0 0 0 B	第 2 のスイッチング素子

【書類名】 図面

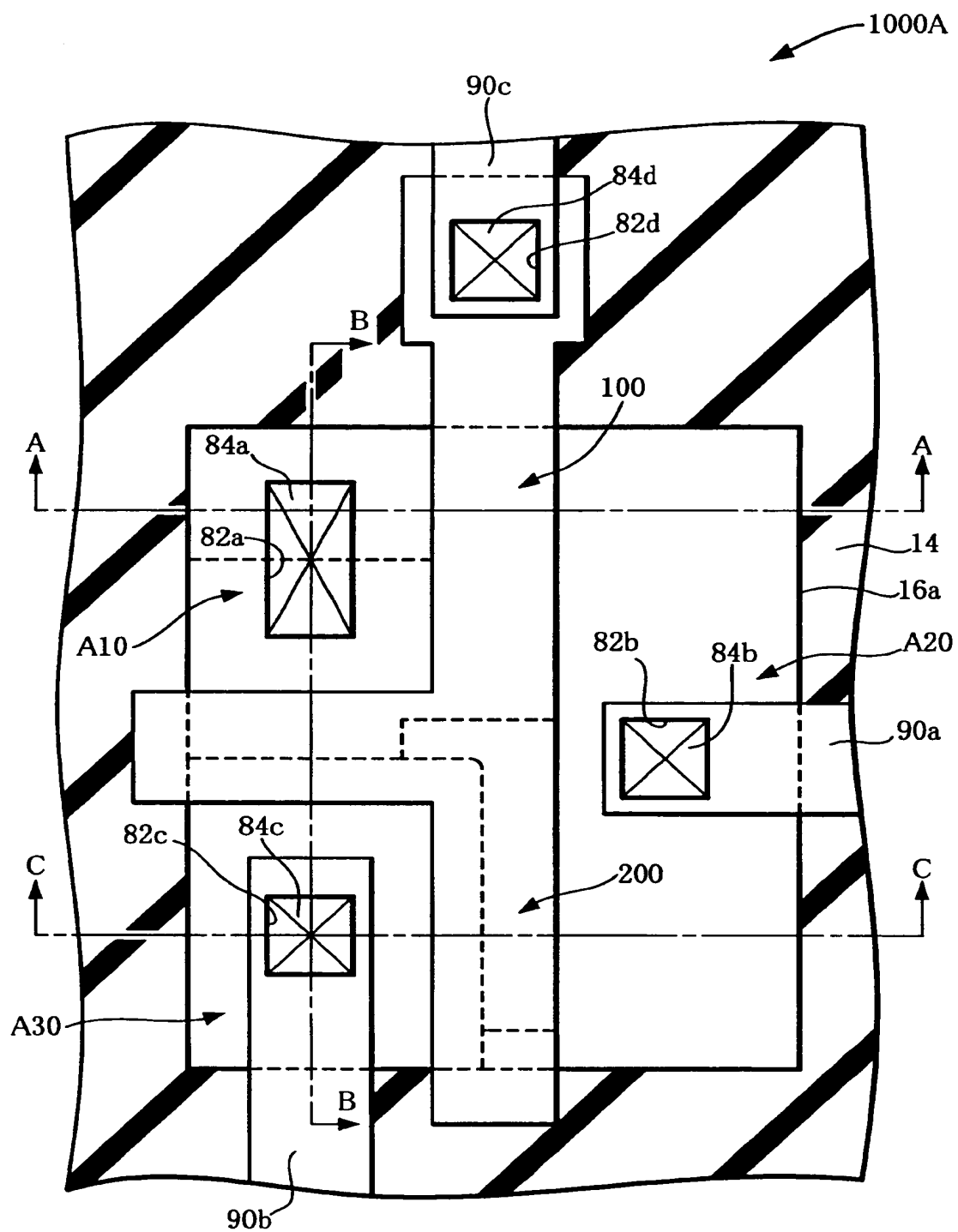
【図 1】



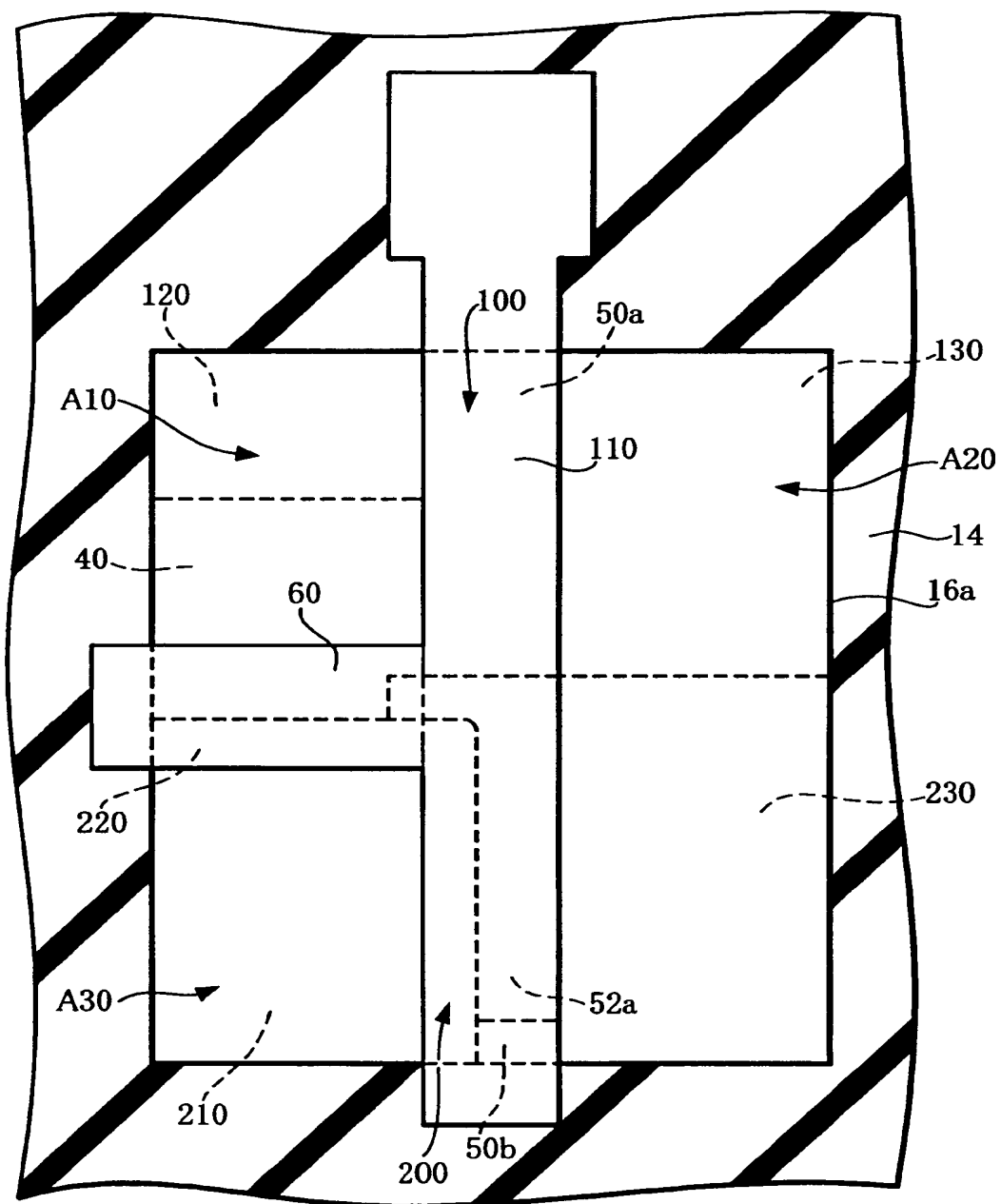
【図 2】



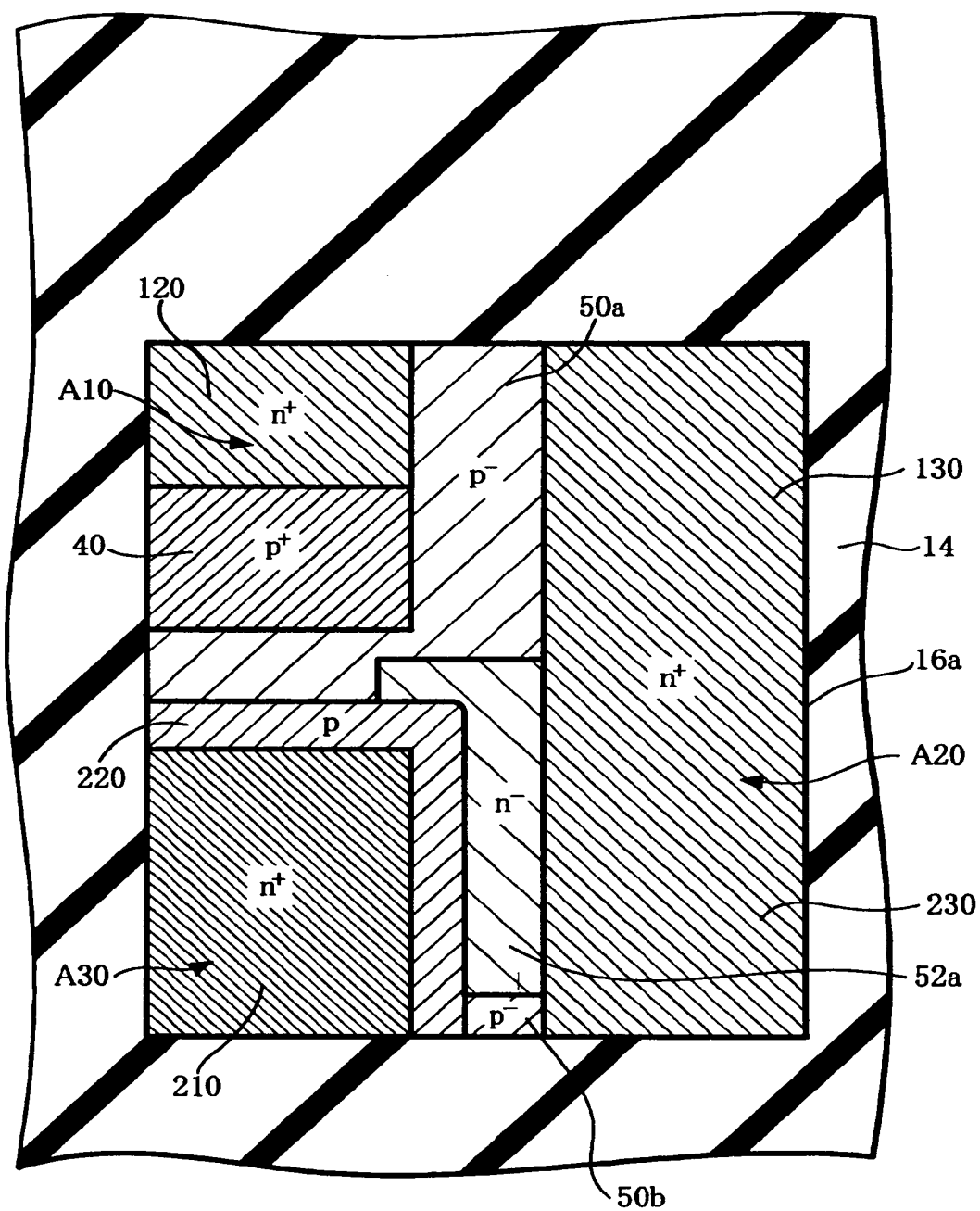
【図 3】



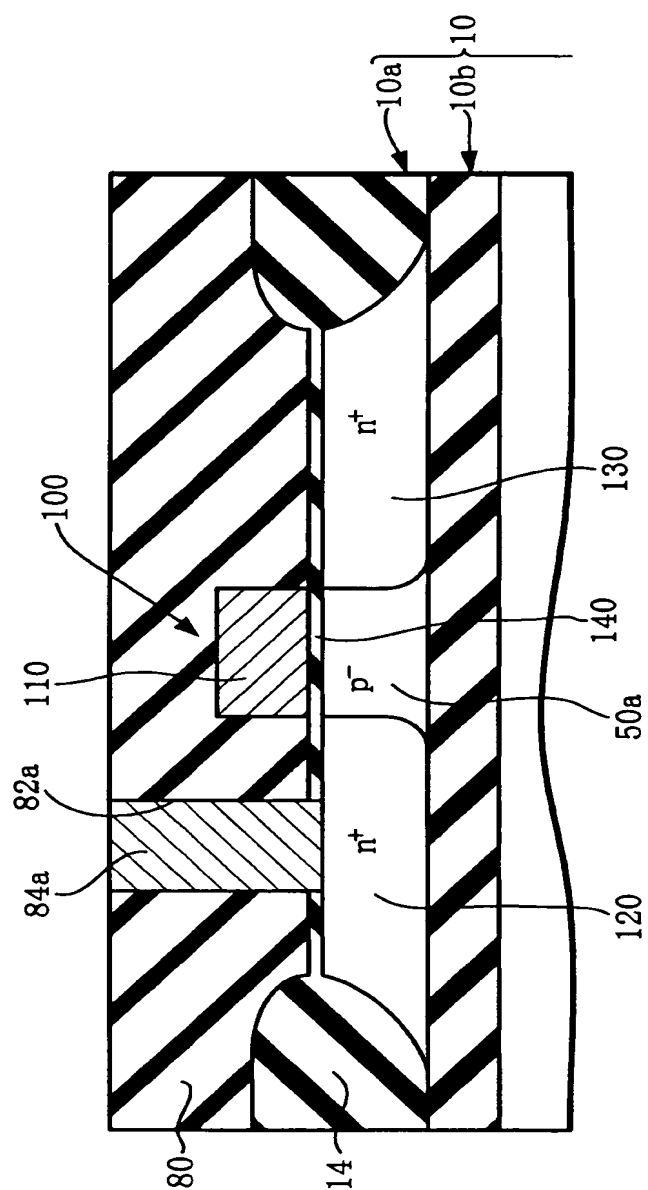
【図4】



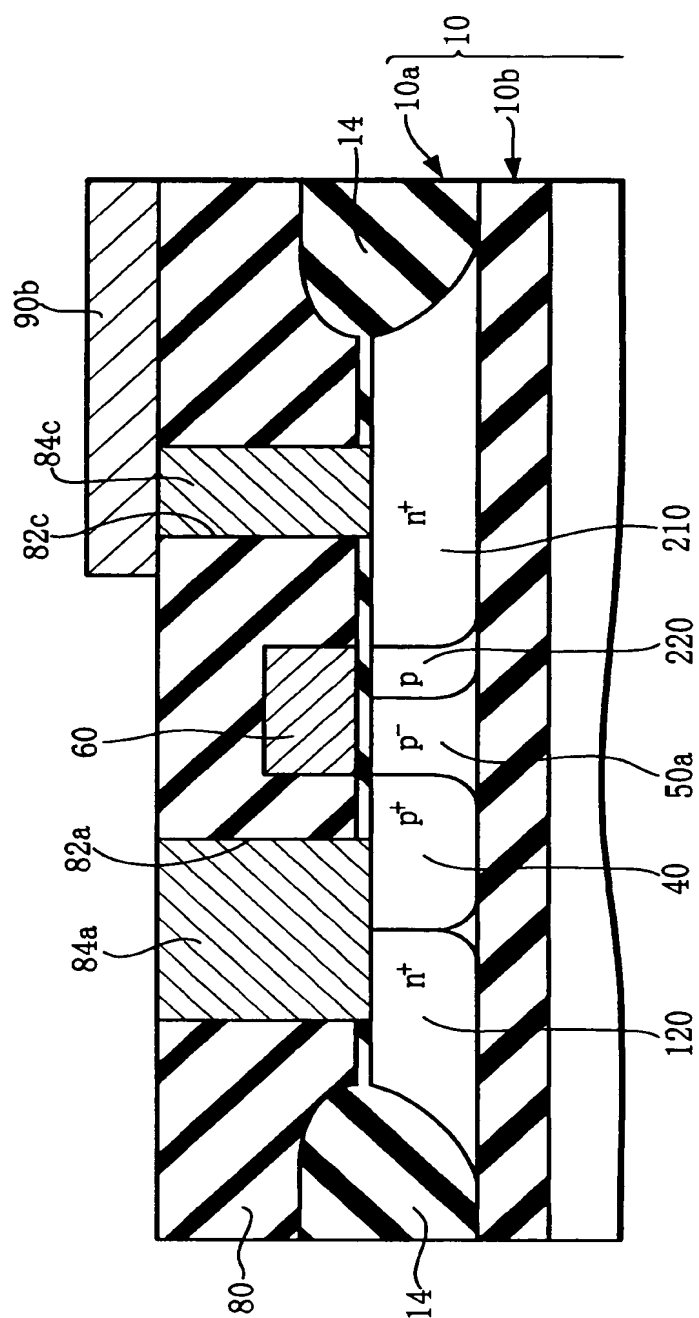
【図 5】



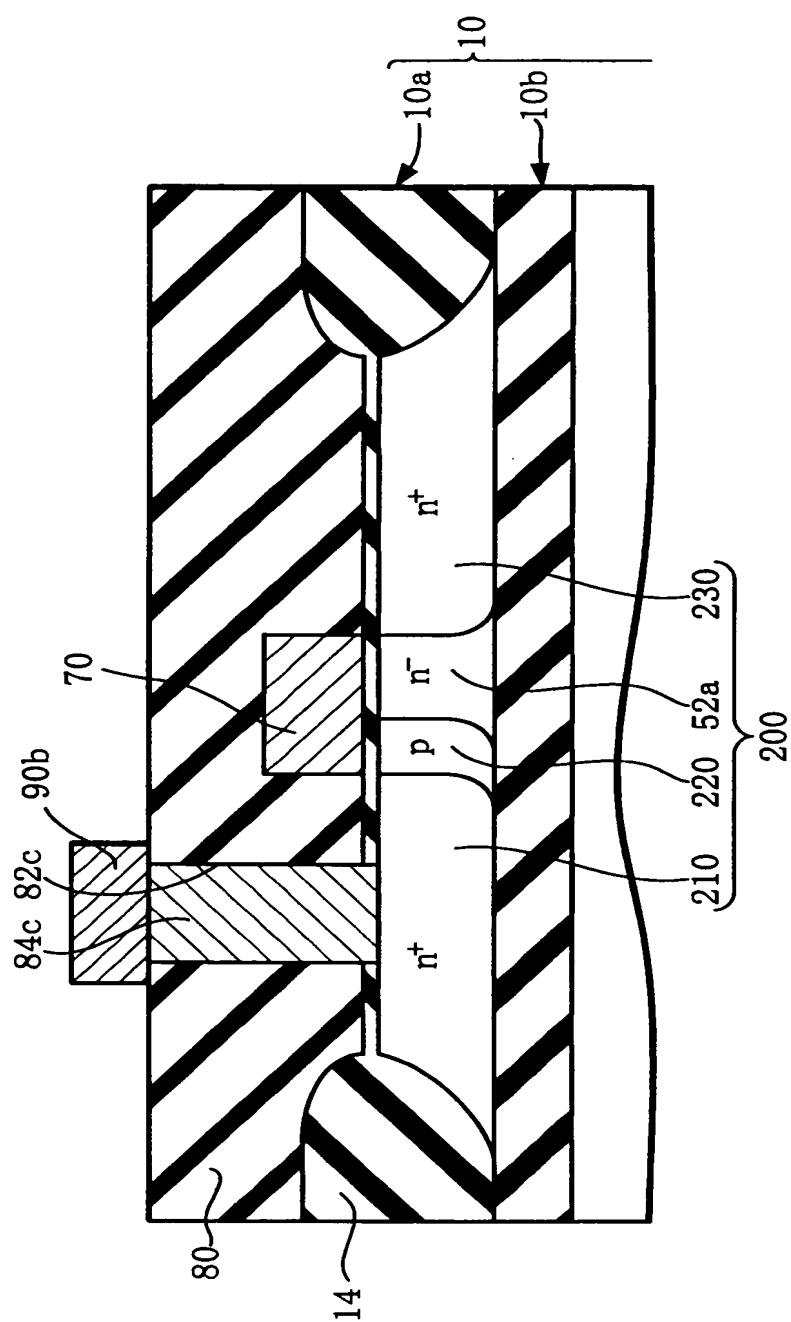
【図 6】



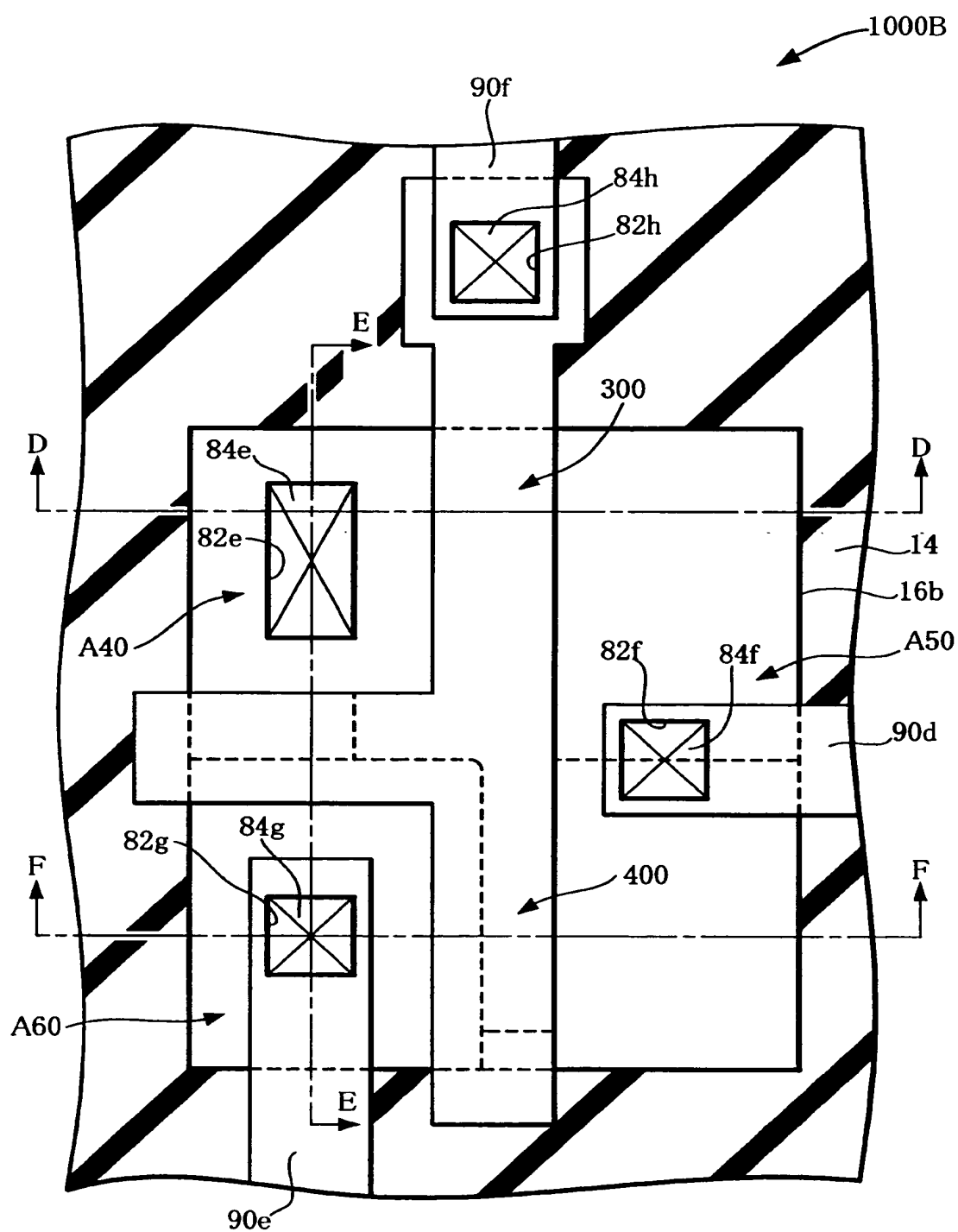
【図 7】



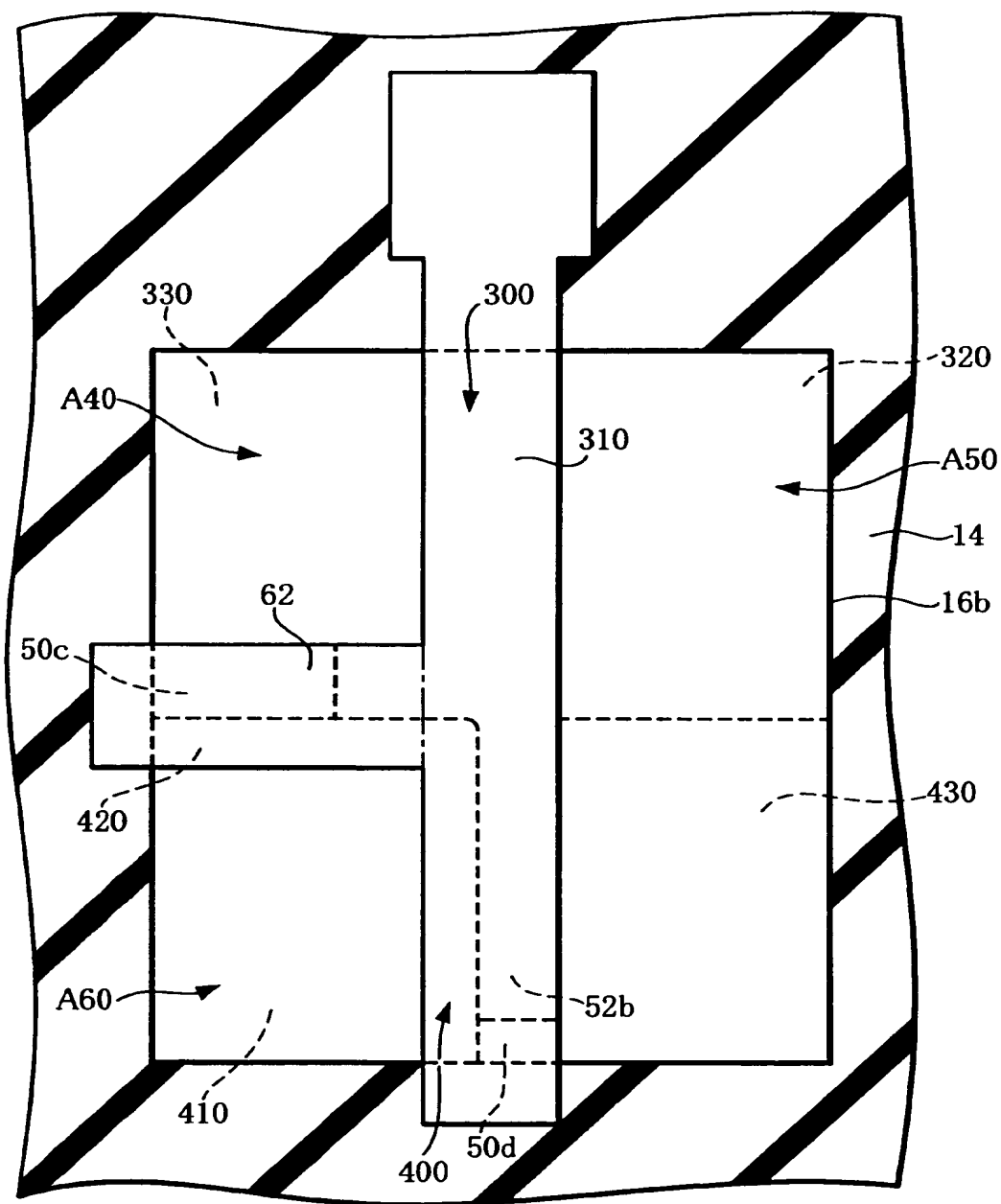
【図 8】



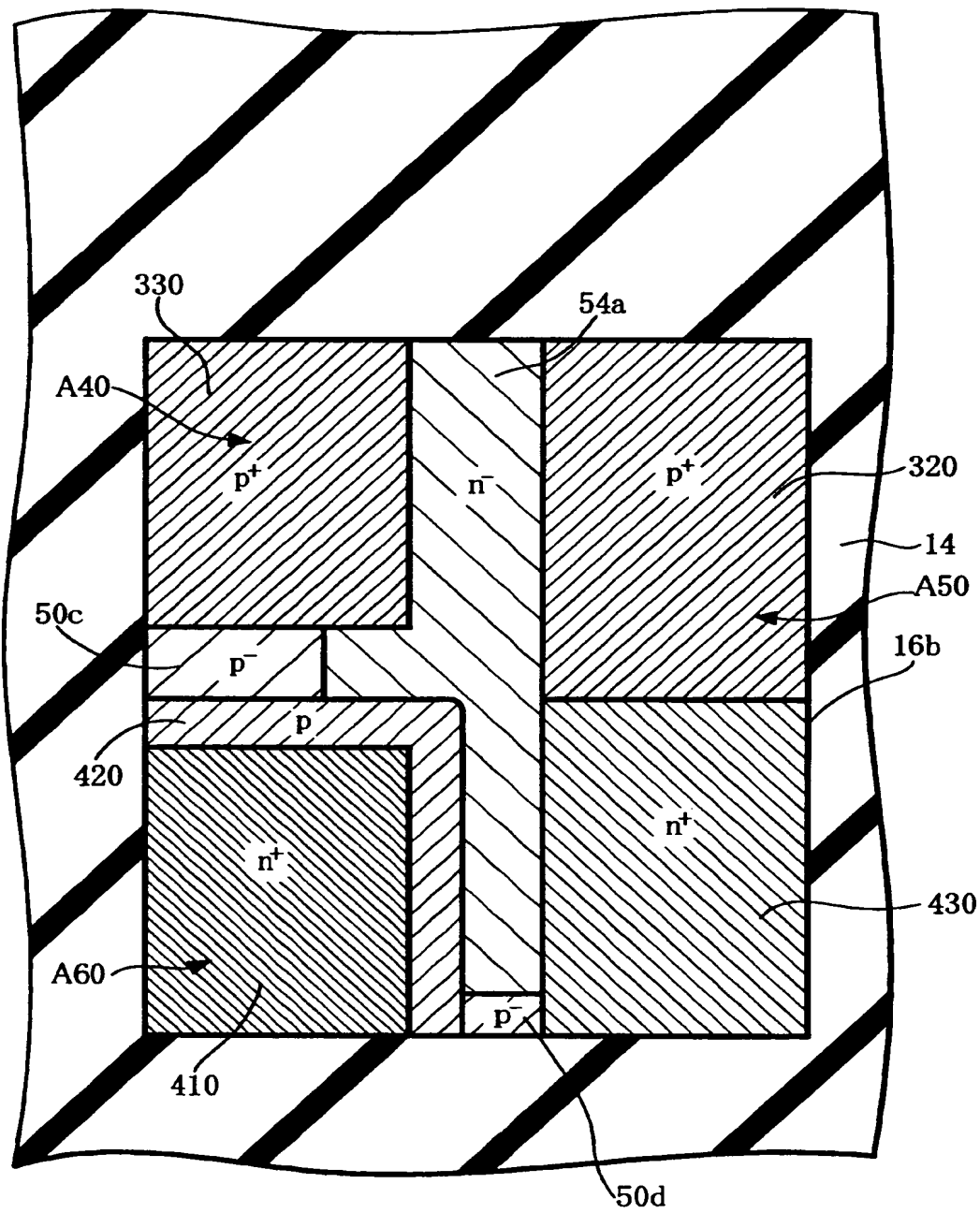
【図 9】



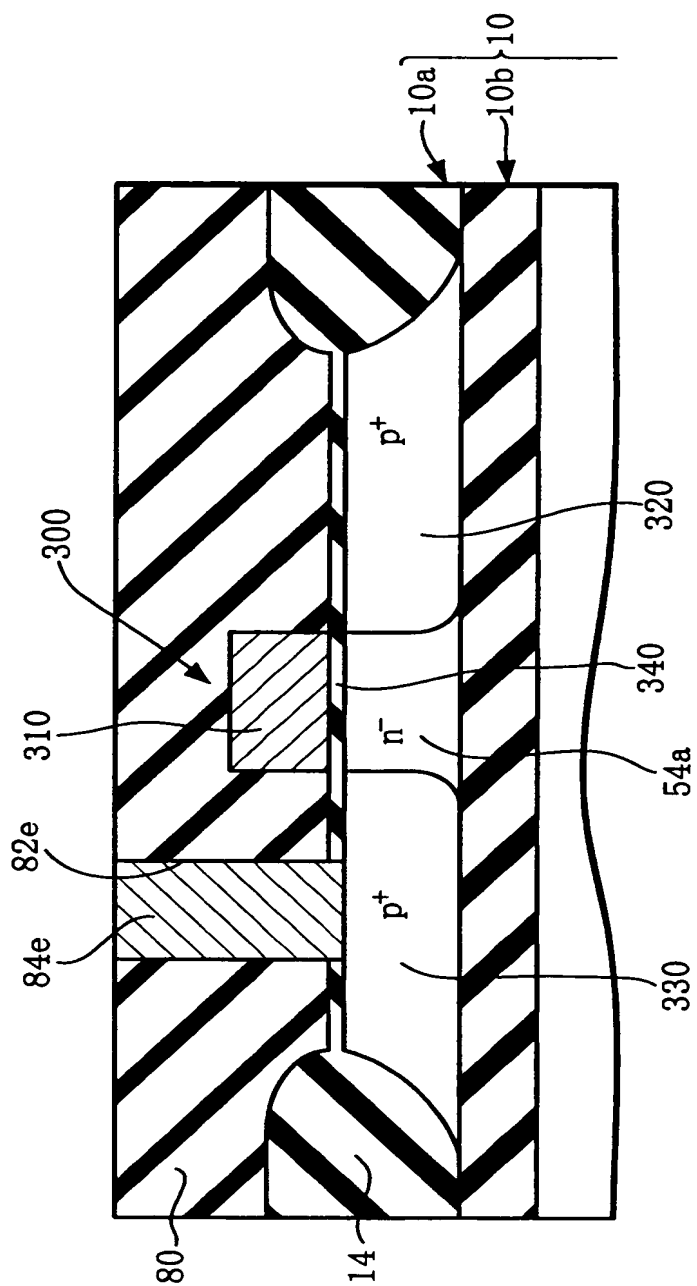
【図 10】



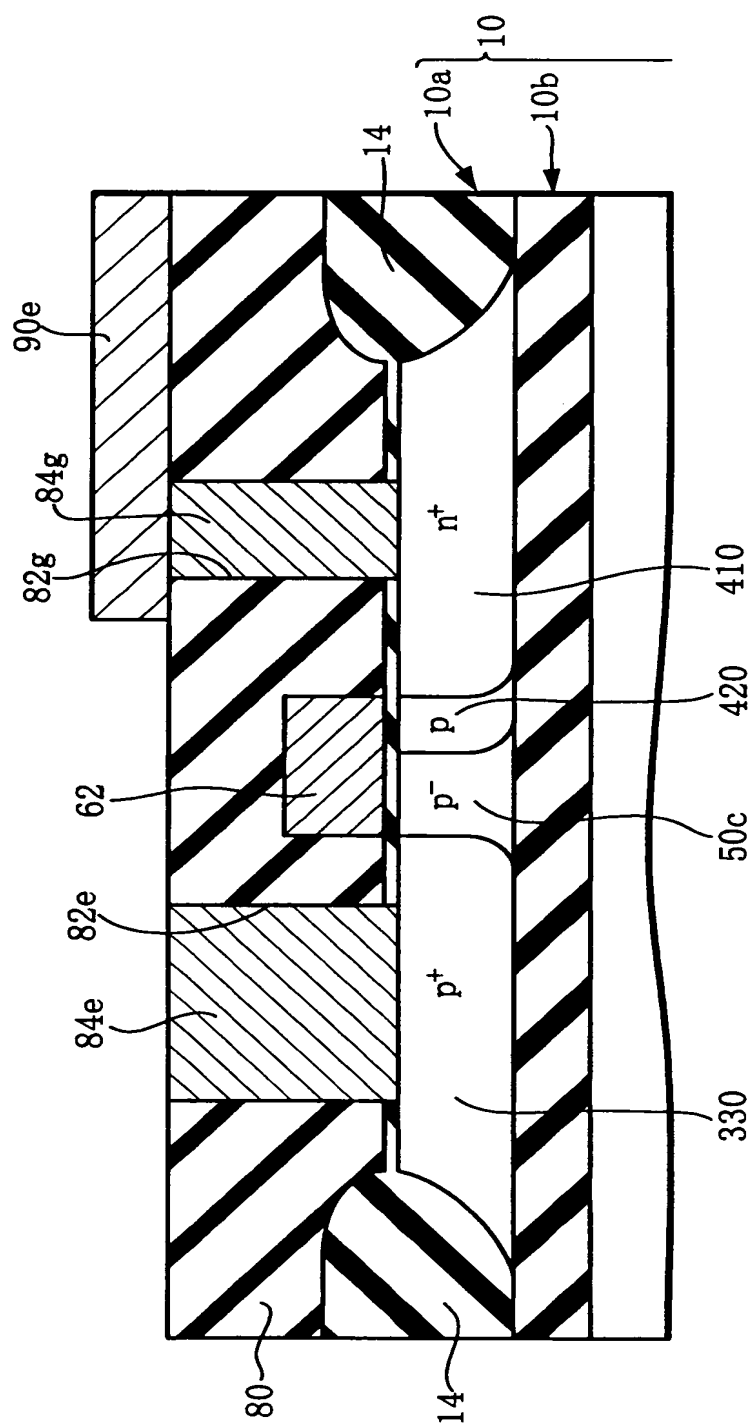
【図 11】



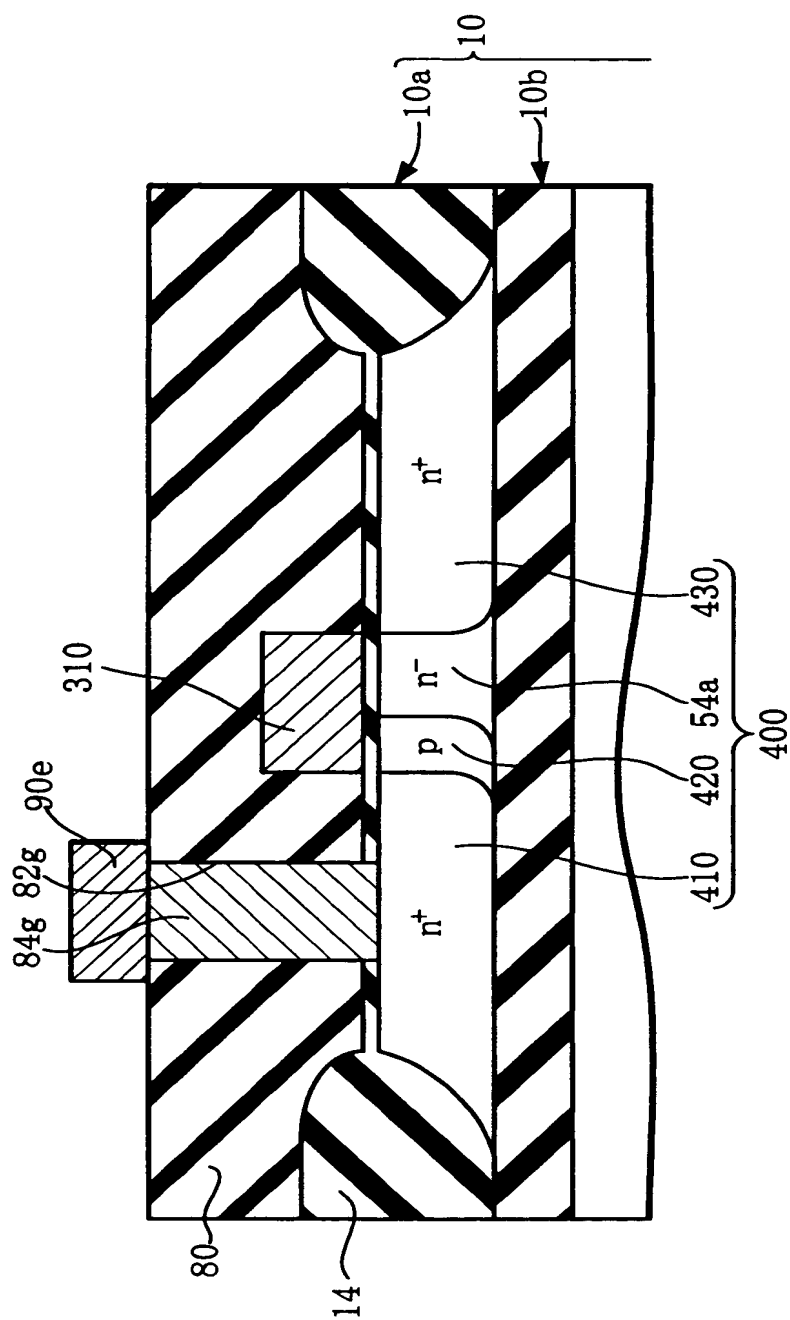
【図 12】



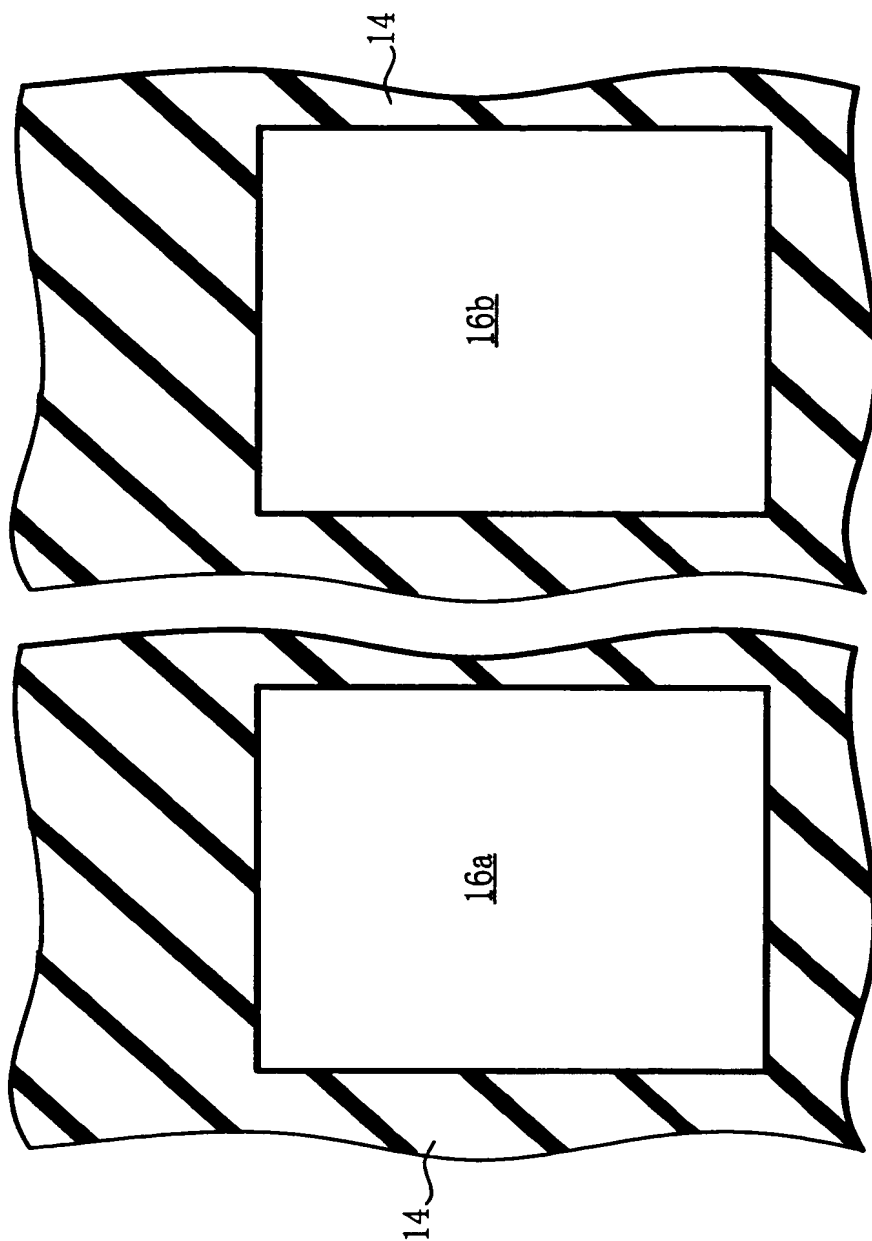
【图 13】



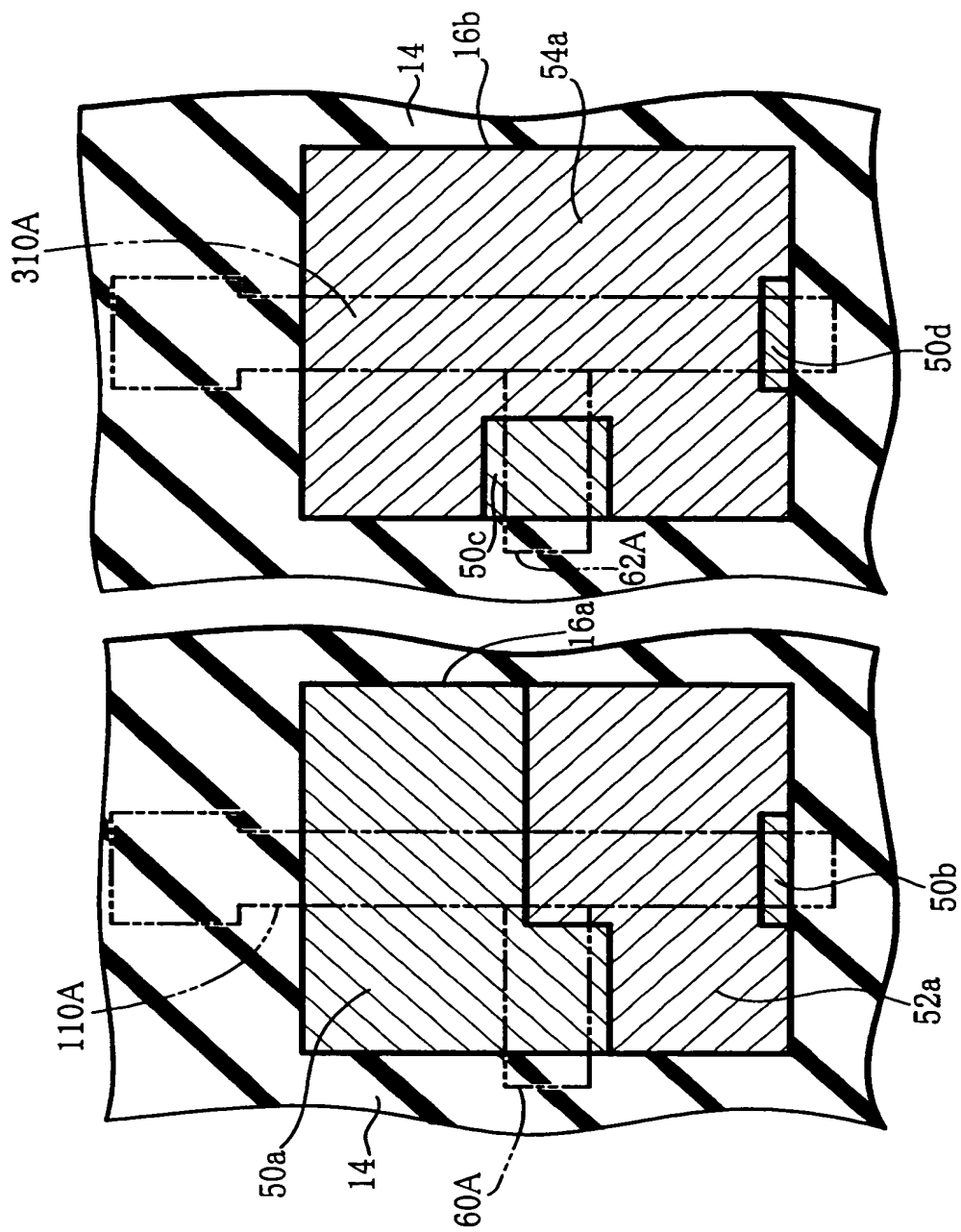
【図 14】



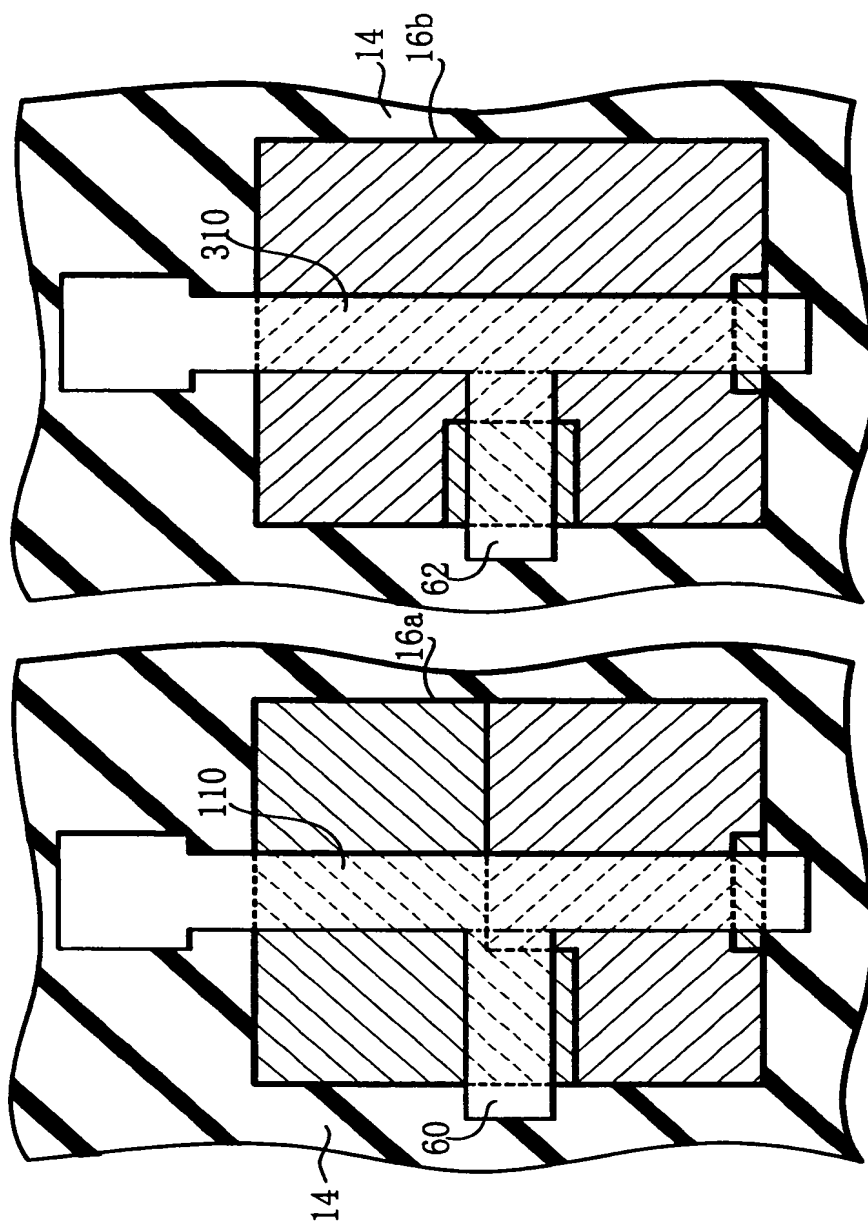
【図15】



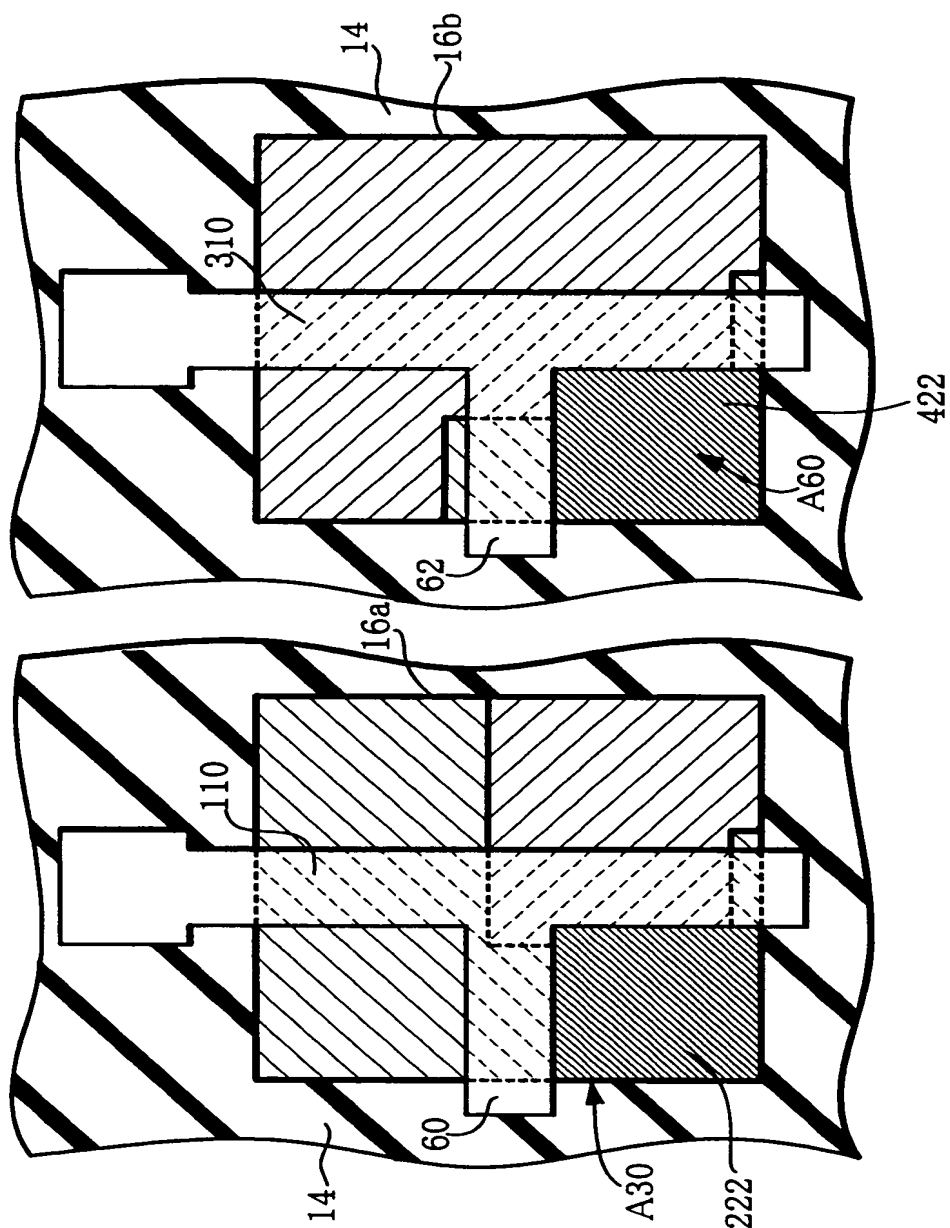
【図 16】



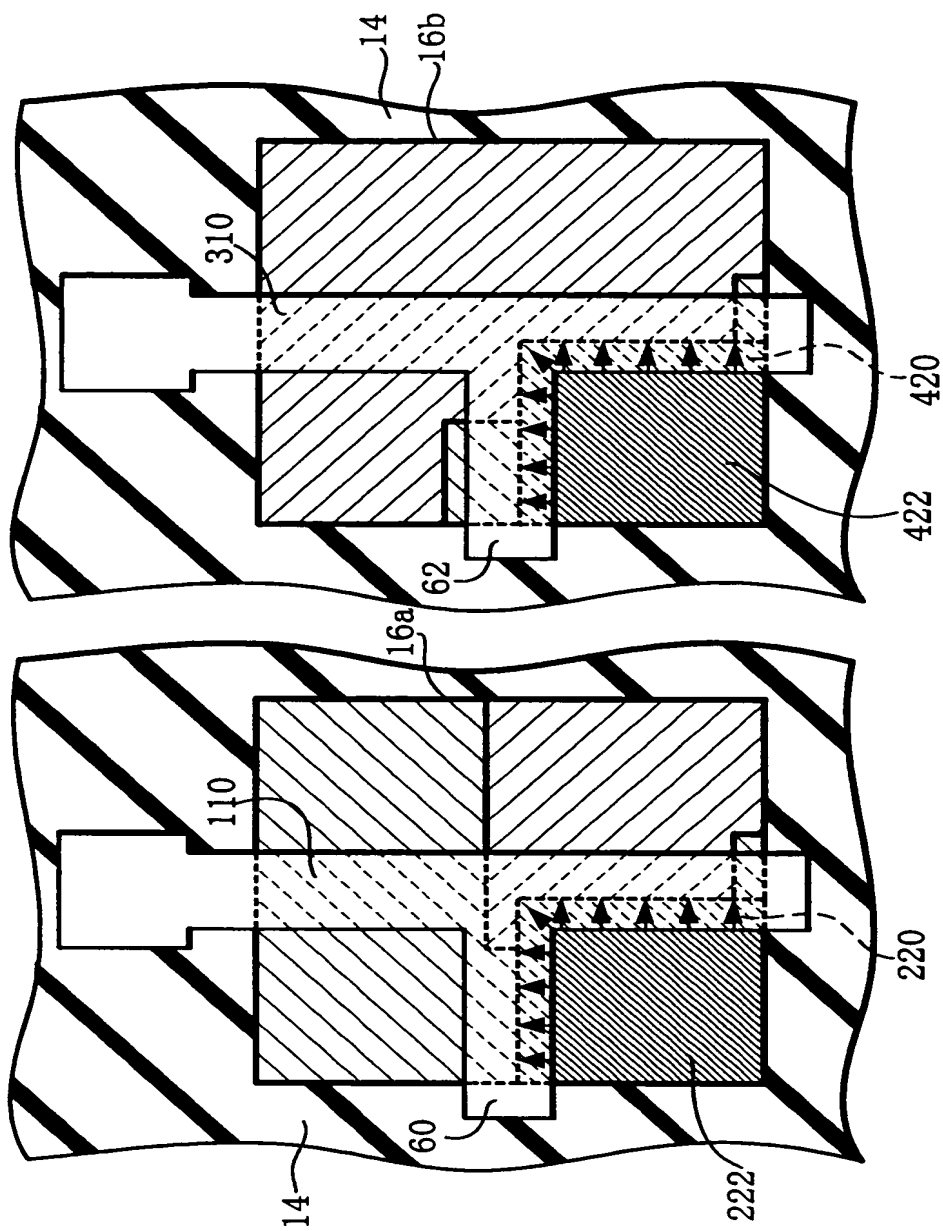
【図 17】



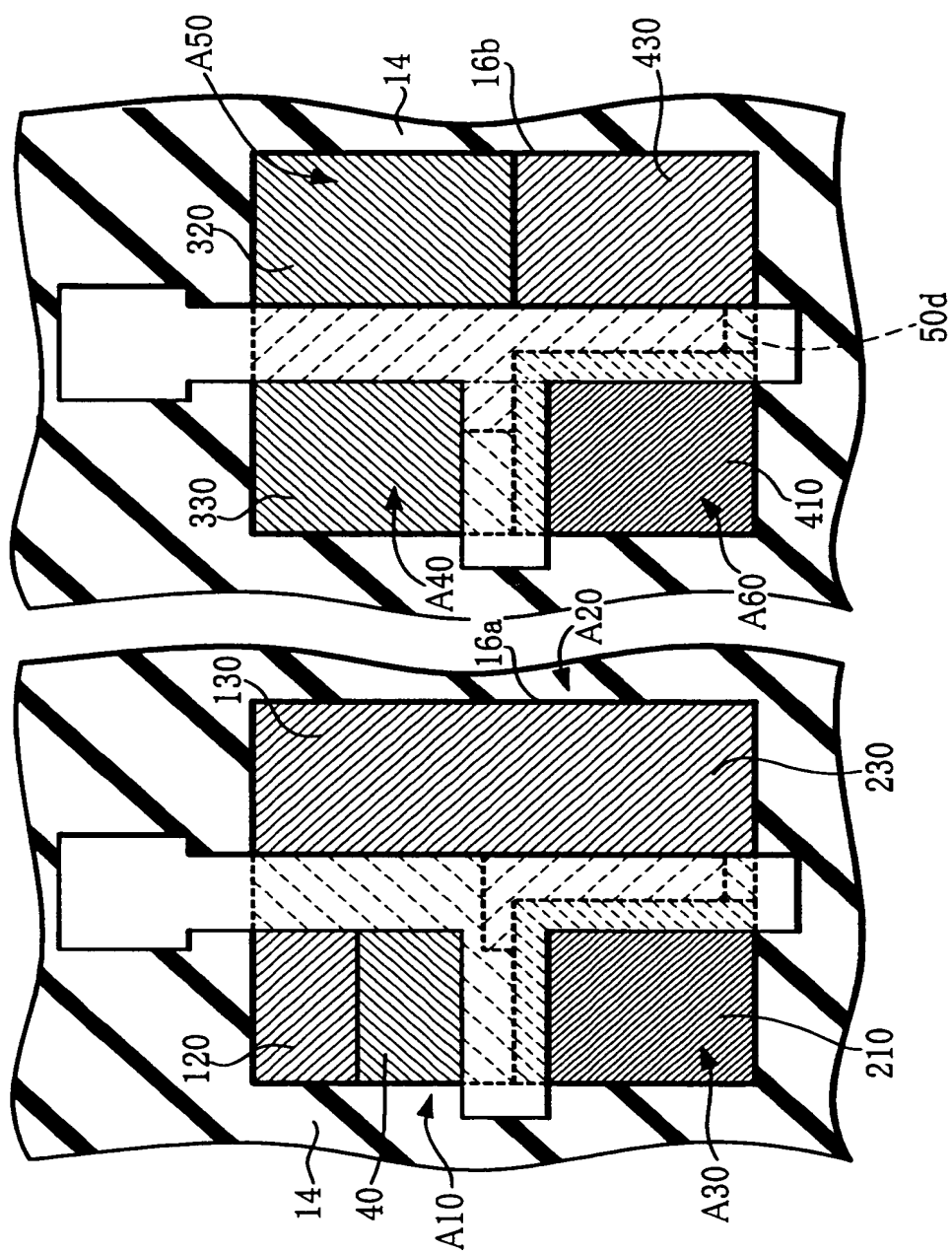
【図 18】



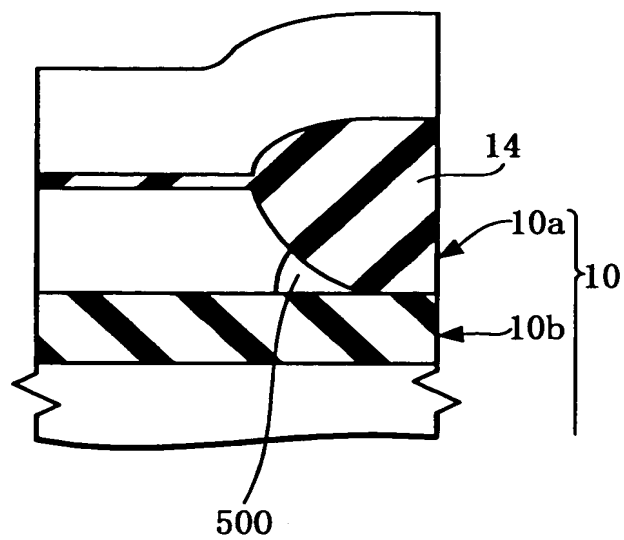
【図19】



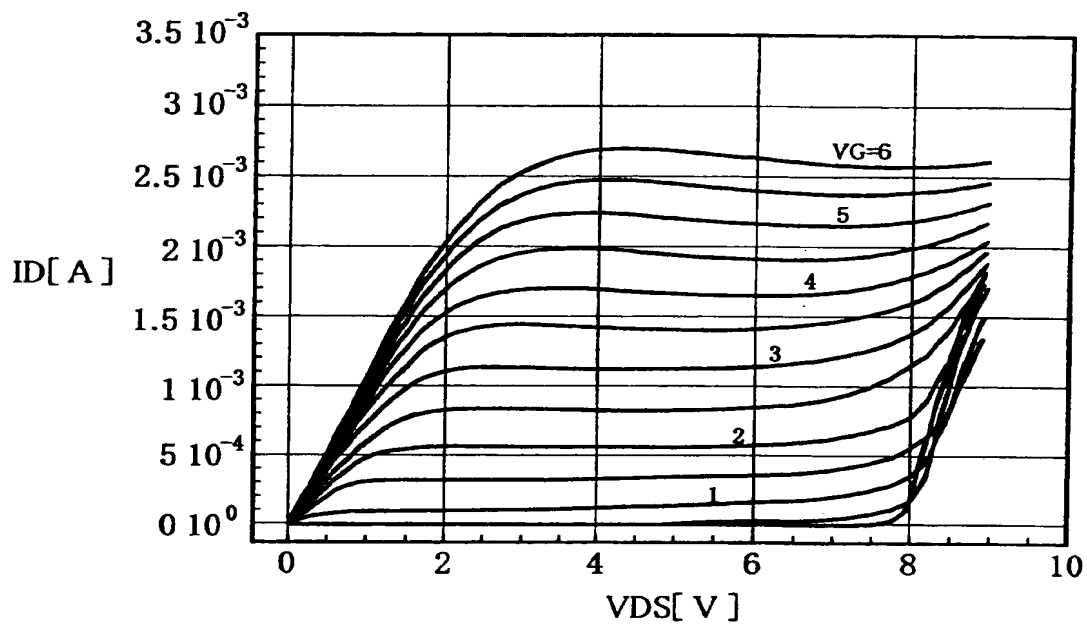
【図 20】



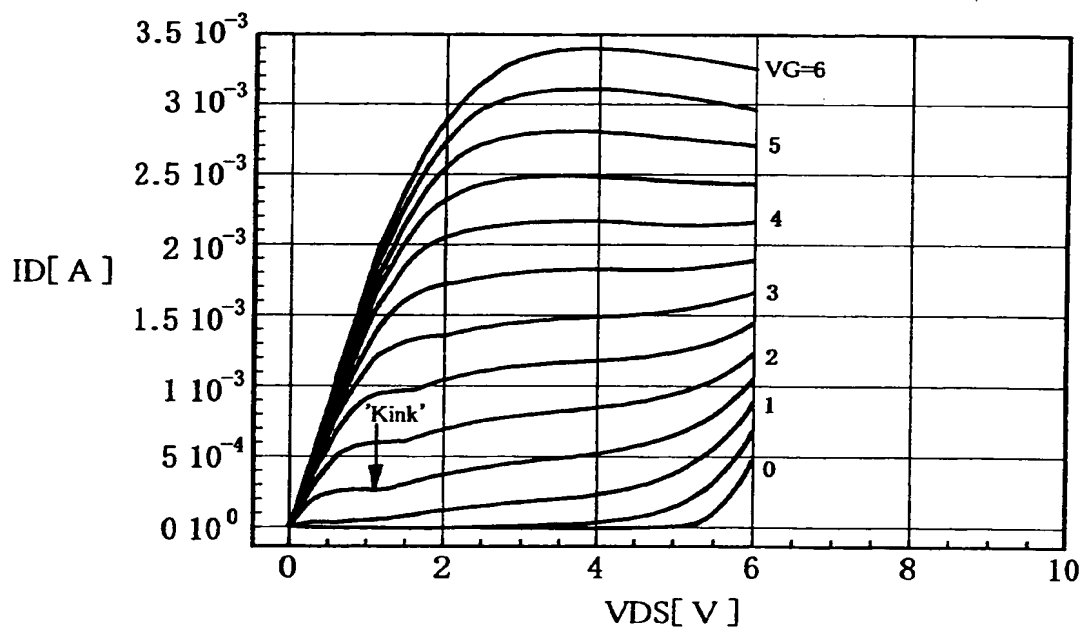
【図 2 1】



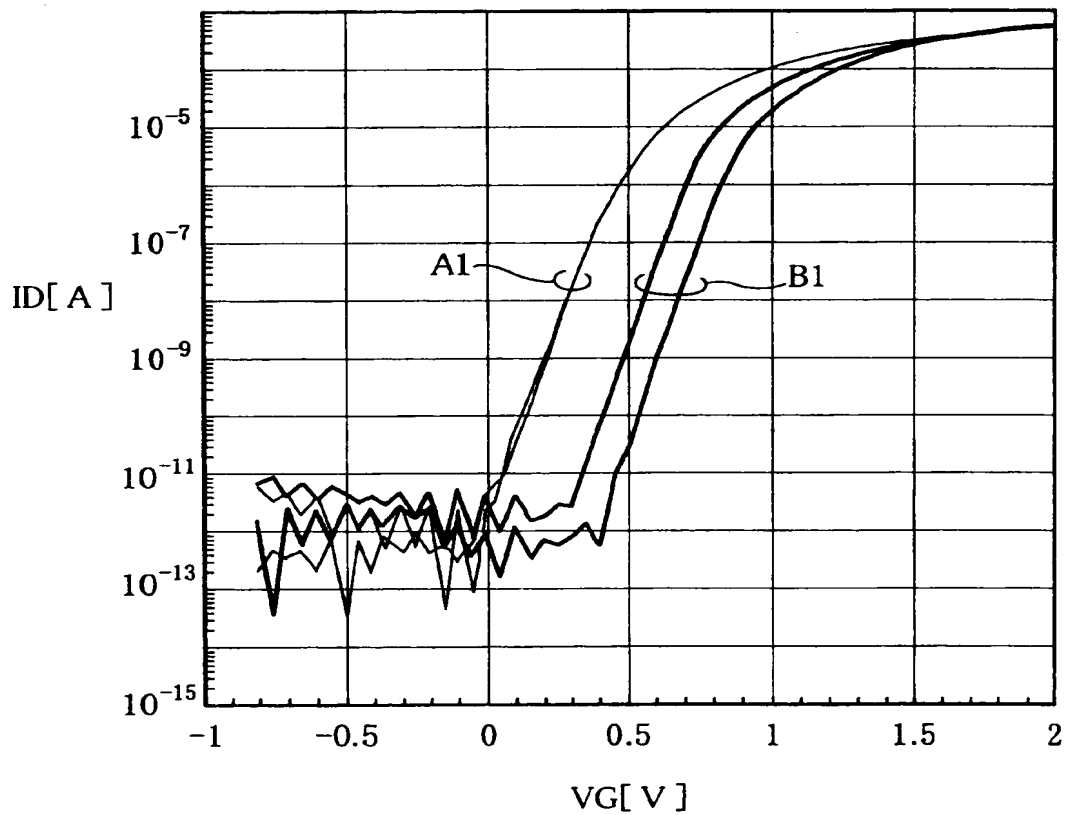
【図 2 2】



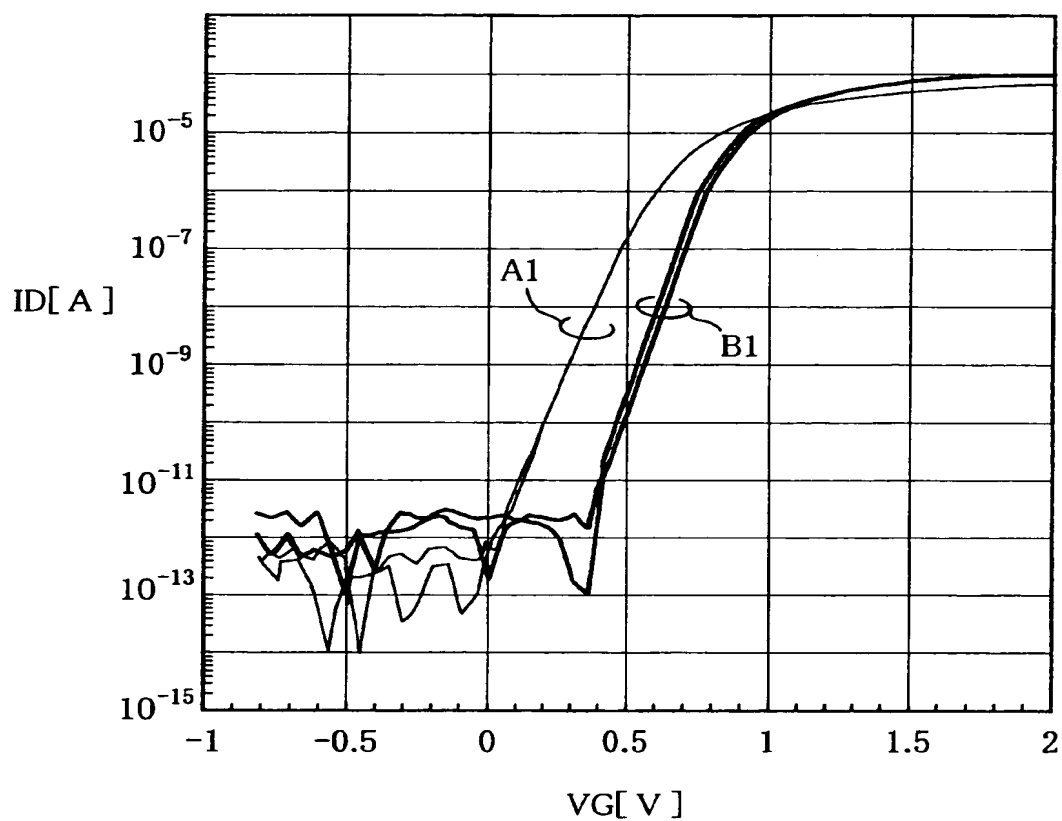
【図 2 3】



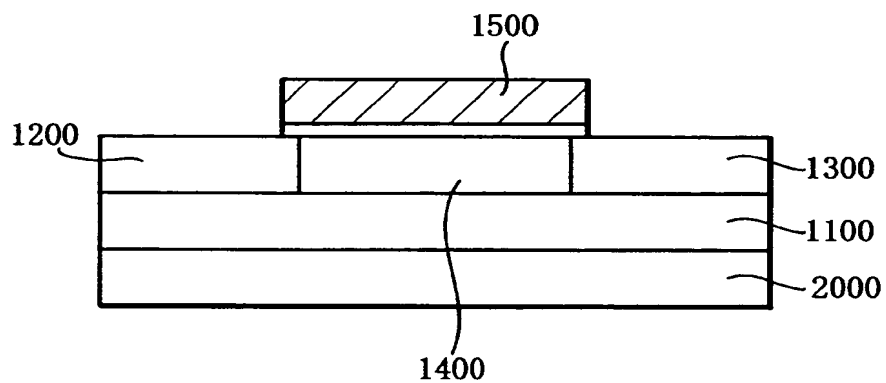
【図 2 4】



【図 25】



【図 26】



【書類名】 要約書

【要約】

【課題】 基板浮遊効果が抑えられたスイッチング素子を含む半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置 1 0 0 0 は、S O I 層 1 0 a の、第 1 および第 2 の素子形成領域 1 6 a, b において、それぞれ第 1 および第 2 のスイッチング素子 1 0 0 0 A, B が形成されている。各第 1 および第 2 のスイッチング素子 1 0 0 0 A, B は、B I C M O S インバータ回路を構成し、電界効果型トランジスタおよびバイポーラトランジスタを含む。第 1 の p 型ボディ領域 5 0 a と、n 型ソース領域 1 2 0 とは、電氣的に接続されている。第 1 の p 型ボディ領域 5 0 a と、第 1 の p 型ベース領域 2 2 0 とは、電氣的に接続されている。第 2 の n 型ボディ領域 5 4 a と第 2 の n 型コレクタ領域 4 3 0 とは電氣的に接続されている。p 型ドレイン領域 3 3 0 と第 2 の p 型ベース領域 4 2 0 とは電氣的に接続されている。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社